



AK2400

High integrated receiver for PMR/LMR

Overview

- Operating Supply Voltage : 2.7 to 5.5V
- Wide Operating Temperature Range : -40 to +85°C
- Delta-Sigma Fractional-N PLL with a frequency switching function : No glitch operation for AFC(Automatic Frequency Control) and DFM(Digital Frequency Modulation)
- High linearity RF Mixer(1st) and IF Mixer(2nd)
- IF Local frequency selectable as usage : 28.8MHz,45.9MHz,50.4MHz,57.6MHz
- Frequency tripler generates IF Local signal
- Built-in very narrow programmable bandwidth IF BPF (450kHz)
- PLL FM detector
- RSSI function
- Noise squelch circuit
- Built-in 12bits 1Msps SAR ADC
- Audio output signal S/N (Wide/Narrow) : 50dB / 46dB (Typ.) *De-emphasis + BPF
- Compact packaging : 56pin-QFN (8 x 8 mm、 0.5 mm pitch)

Applications

- Narrowband high performance professional digital wireless systems (Channel spacing for 6.25kHz,12.5kHz)
- Public safety and community wireless systems
- Marine / mobile communication systems
- Low power radio systems
- Monitoring and control telemeter systems

Contents

Overview.....	1
Applications	1
Contents	2
Block Diagram.....	3
Function.....	4
Pin assignment	4
Pin/Function	5
Absolute Maximum Ratings	7
Recommended Operating Conditions	7
Digital DC Characteristics.....	8
Digital AC Timing.....	9
ADC AC Timing.....	11
Power-up sequence	12
System Reset	12
Analog Characteristics (PLL SYNTH).....	13
Analog Characteristics (1st MIXER).....	14
Analog Characteristics (2nd IF)	15
Register Map and Function Description	21
Block Diagram (PLL SYNTH)	30
Lock Detect function (PLL SYNTH)	31
Frequency Setting (PLL SYNTH)	34
Frequency switching adjustment (PLL SYNTH).....	35
Charge Pump and Loop Filter (PLL SYNTH)	36
Fast lock-up mode (PLL SYNTH).....	37
Calibration Procedure (Discriminator)	38
Typical Evaluation Board Schematic (PLL SYNTH)	39
Typical Evaluation Board Schematic (1st MIXER)	41
Typical Evaluation Board Schematic (2nd IF)	45
Package	49
Revision History	50

Block Diagram

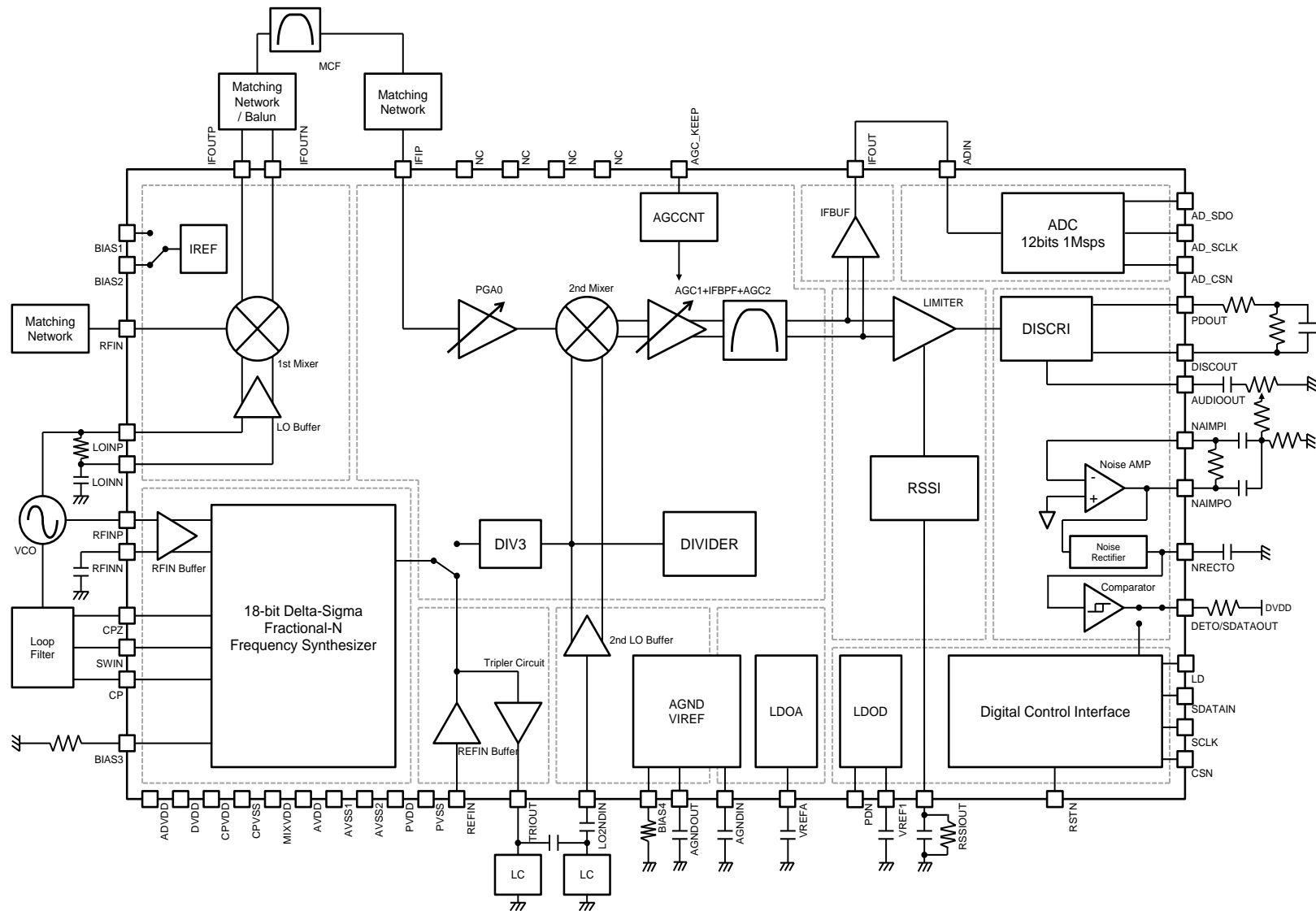


Figure 1 Block Diagram

Function

Block	Description
PLL SYNTH	The Delta-Sigma Fractional-N PLL (Phase Locked Loop) frequency synthesizer by the external VCO and the loop filter.
1stMIX	1st Mixer to convert the RFIN signal down to IF frequency by 1st LO signal.
PGA0+2ndMIX	2nd Mixer to convert the IFIP signal down to 450kHz by 2ndLO signal.
AGC+BPF	The circuit composed of AGC and BPF, where the desired signal is amplified and spurious components included in the signal from the 2nd-mixer are eliminated.
IFBUF	The circuit to output filtered signal by AGC+BPF.
Divider	The circuit to divide the signal from LO2NDIN pin.
LIMITER	The circuit to amplify the signal filtered at the AGC+BPF stage and generate rectangular wave.
DISCRI	The demodulator circuit with PLL FM detector, where the audio signal is recovered.
Noise AMP	The amplifiers to compose the Band-pass filter for noise squelch.
Noise Rectifier	The rectification circuit to detect the noise level.
Comparator	The circuit to compare the noise level with reference voltage level.
RSSI	The circuit to indicate the Received Signal Strength Indicator (RSSI) by generating a DC voltage corresponding to the input level from Limiter.
AGND+VIREF	The circuit to generate internal reference voltage.
Control Logic	The control register controls the status of internal condition by serial data that consists of 1 instruction bit, 5 address bits and 18 data bits.
ADC	12bits 1MSPS A/D converter.

Pin assignment

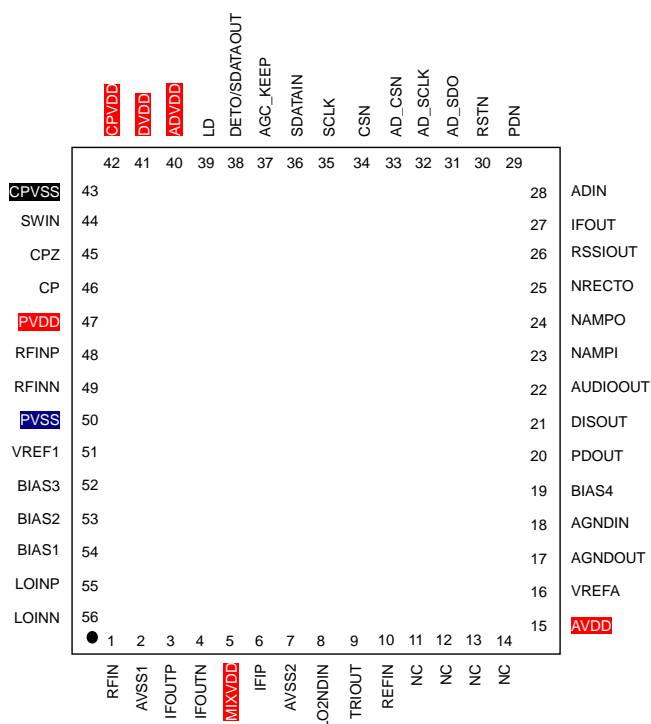


Figure 2 Pin assignment

Note) The exposed pad at the center of the backside should be connected to ground.

Pin/Function

No.	Name	Type	Conditions at power down	Function
1	RFIN	AI	-	RF signal input pin. Connecting a inductor between this pin and ground.
2	AVSS1	PWR	-	Analog VSS power supply pin
3	IFOUTP	AO	-	IF Output Positive .This pin is open drain output. It needs power feeding via an inductor.
4	IFOUTN	AO	-	IF Output Negative .This pin is open drain output. It needs power feeding via an inductor.
5	MIXVDD	PWR	-	Mixer VDD power supply pin
6	IFIP	AI	-	IF signal input pin
7	AVSS2	PWR	-	Analog VSS power supply pin
8	LO2NDIN	AI	-	2nd LO signal input pin
9	TRIOUT	AO	-	Tripler circuit output pin
10	REFIN	AI	-	Reference signal input pin
11	NC	-	Hi-Z	This pin must be left open
12	NC	-	Hi-Z	This pin must be left open
13	NC	-	Hi-Z	This pin must be left open
14	NC	-	Hi-Z	This pin must be left open
15	AVDD	PWR	-	Analog VDD power supply pin
16	VREFA	AO	-	LDO reference pin. Connect the capacitor to stabilize LDO reference voltage
17	AGNDOUT	AO	-	Analog ground output pin. Connect the capacitor to stabilize the analog ground level.
18	AGNDIN	AI	-	Analog ground input pin. Connect the capacitor to stabilize the analog ground level.
19	BIAS4	AO	-	Output pin to connect bias resistor for reference voltage
20	PDOUT	AO	-	Pin1 for Discriminator Low-pass filter
21	DISCOUT	AO	-	Pin2 for Discriminator Low-pass filter
22	AUDIOOUT	AO	-	Demodulated audio signal output pin
23	NAMPI	AI	-	Input pin for noise squelch amplifier
24	NAMPO	AO	-	Output pin for noise squelch amplifier
25	NRECTO	AO	-	Output pin for the rectification circuit
26	RSSIOUT	AO	-	Output pin to connect capacitor for Received Signal Strength Indicator(RSSI)
27	IFOUT	AO	-	Output pin for IFBUF
28	ADIN	AI	-	Input pin for A/D converter
29	PDN	DI	Hi-Z	Power down pin for LDO
30	RSTN	DI	Hi-Z	Hardware reset pin
31	AD_SDO	DO	-	A/D Converter data output pin for serial data
32	AD_SCLK	DI	Hi-Z	A/D Converter clock input pin for serial data
33	AD_CSN	DI	Hi-Z	A/D Converter chip select input pin for serial data
34	CSN	DI	Hi-Z	Chip select input pin for serial data

35	SCLK	DI	Hi-Z	Clock input pin for serial data
36	SDATAIN	DI	Hi-Z	Data input pin for serial data
37	AGC_KEEP	DI	Hi-Z	Input pin for AGC_KEEP function
38	DETO / SDATAOUT	DO	Hi-Z	Signal detect output pin/ Data output pin for serial data
39	LD	DO	Low	Lock detect output pin for PLL
40	ADVDD	PWR	-	AD VDD power supply pin
41	DVDD	PWR	-	Digital VDD power supply pin
42	CPVDD	PWR	-	Charge pump VDD power supply pin
43	CPVSS	PWR	-	Charge pump VSS power supply pin
44	SWIN	AI	Note1,2	Connect to resistance pin for fast lock up
45	CPZ	AI	Note1,2	Connect to the loop filter capacitor
46	CP	AO	Hi-Z	Charge pump output pin
47	PVDD	PWR	-	PLL VDD power supply pin
48	RFINP	AI	-	Prescaler input positive
49	RFINN	AI	-	Prescaler input negative
50	PVSS	PWR	-	PLL VSS power supply pin
51	VREF1	AO	-	LDO reference pin. Connect the capacitor to stabilize LDO reference voltage
52	BIAS3	AO	-	Resistance pin for setting charge pump output current
53	BIAS2	AIO	-	Resistance pin for current adjustment for 1st Mixer
54	BIAS1	AIO	-	Resistance pin for current adjustment for 1st Mixer
55	LOINP	AI	-	Lo input positive
56	LOINN	AI	-	Lo input negative

AI: Analog input pin

AO: Analog output pin

AIO: Analog I/O pin

PWR: Power supply pin

DI: Digital input pin

DO: Digital output pin

Note1) When [PDN]="0", {PDSYNTH_N}="0", or [PDN]="1", {PDSYNTH_N}="0", the state of the switch of loop filter selection is ON.

Note2) Power down refers to the state where [PDN]="0" after power-on.

[CPZ] pin should be connected to R2 and C2, which are intermediate nodes, even if the Fast Lockup feature is not used. For the output destination from [CPZ] pin, see "Charge Pump and Loop Filter" on page 36.

Absolute Maximum Ratings

Parameter	Symbol	Min.	Max.	Unit	Remarks
Supply Voltage	VDD1	-0.3	6.5	V	Note 1
	CPVDD	-0.3	6.5	V	
	MIXVDD	-0.3	5.5	V	
	DVDD	-0.3	6.5	V	
Ground level	VSS	0	0	V	
Analog Input Voltage	V _{AIN}	-0.3	VDD1+0.3 CPVDD+0.3 MIXVDD+0.3	V	Note 1
Digital Input Voltage	V _{DIN}	-0.3	DVDD+0.3	V	
Input Current (Except power supply pin)	I _{IN}	-10	+10	mA	
RF Input Power	RFPOW		12	dBm	
LO Input Power	LOPOW		12	dBm	
Storage Temperature	T _{stg}	-55	125	°C	

Note 1 VDD1 is applied to PVDD, AVDD, ADVDD pins

Note 2 All voltages are relative to the VSS pin.

Note 3 Exceeding these maximum ratings may result in damage to the AK2400. Normal operation is not guaranteed at these extremes.

Recommended Operating Conditions

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
Operating Temperature	T _a		-40		85	°C
Power Supply voltage	VDD1	PVDD, AVDD, ADVDD	DVDD	3.0	5.5	V
	CPVDD		VDD1	5.0	5.5	V
	MIXVDD		VDD1	5.0	5.5	V
	DVDD		2.7	3.0	5.5	V
Analog Reference Voltage	AGND	AGNDOUT		1/2VREFA		V

Note) All voltages are relative to the VSS pin.

Digital DC Characteristics

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
High level input voltage	V_{IH}	RSTN, SCLK, SDATAIN, CSN, PDN, AD_CSN, AD_SCLK, AGC_KEEP	0.8DVDD			V
Low level input voltage	V_{IL}	RSTN, SCLK, SDATAIN, CSN, PDN, AD_CSN, AD_SCLK, AGC_KEEP			0.2DVDD	V
High level input current	I_{IH}	$V_{IH}=DVDD$ RSTN, SCLK, SDATAIN, CSN, PDN, AD_CSN, AD_SCLK, AGC_KEEP			10	μA
Low level input current	I_{IL}	$V_{IL}=0V$ RSTN, SCLK, SDATAIN, CSN, PDN, AD_CSN, AD_SCLK, AGC_KEEP	-10			μA
High level output voltage	V_{OH}	$I_{OH}=+0.2mA$ LD, AD_SDO, DETO/SDATAOUT	DVDD-0.4		DVDD	V
Low level output voltage	V_{OL}	$I_{OL}=-0.4mA$ LD, AD_SDO, DETO/SDATAOUT	0.0		0.4	V

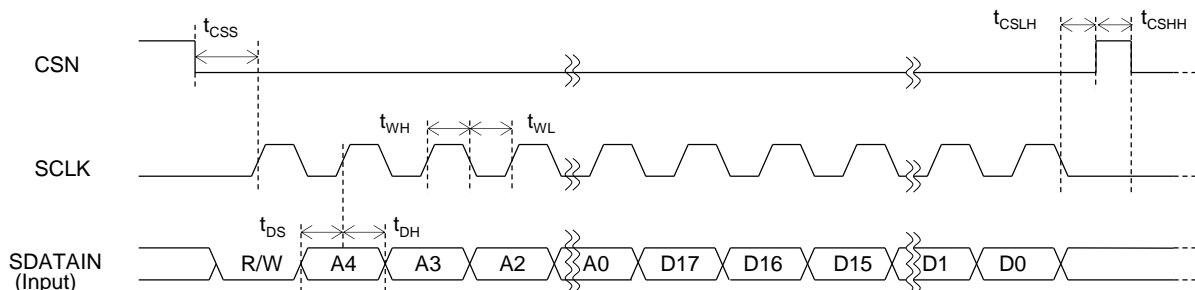
Digital AC Timing

1) Serial Interface Timing

AK2400 is connected to a CPU by three-wired interface through CSN, SCLK, SDATAIN and SDATAOUT pins, which can make reading and writing data for control registers.

Serial data named SDATAIN is consist of 1-bit read and write instruction(R/W), 5-bit address (A4 to A0) and 18-bit data(D17 to D0) in one frame.

Write mode



Read mode

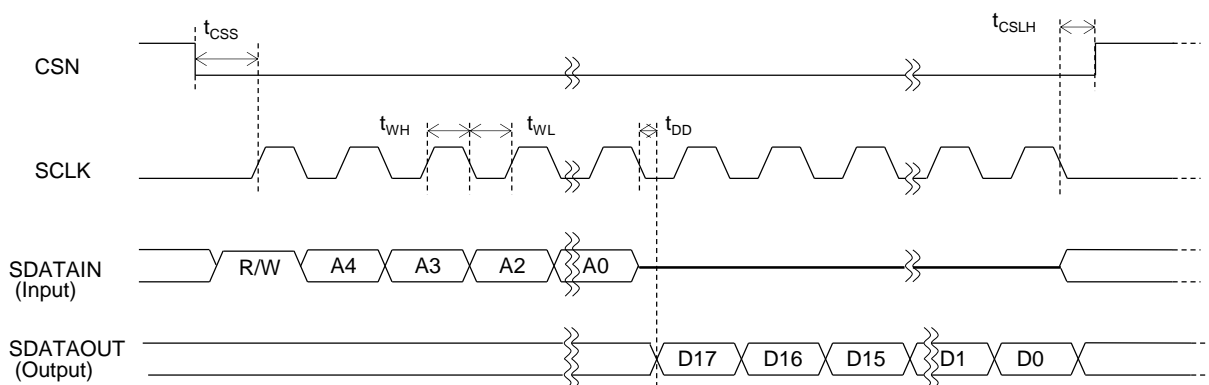


Figure 3 Serial Interface Timing

R/W : Instruction bit controls to write data to AK2400 or read back from it.
When set to low, AK2400 is in write mode. When set to high, AK2400 is in read mode.

A4 to A0 : Register address to be accessed.
D17 to D0 : Write or read data to be accessed.

- <1> CSN(Chip select) is normally selected high for disable.
When CSN is set to low, serial interface becomes active.
- <2> In write mode, instruction, address and data input from SDATAIN pin are synchronized and latched with the rising edge of 24 iterations of SCLK clock. Set to low between address A0 and data D17. Input data is fixed synchronized with the rising edge of 24th clock. Note that if CSN become "H" before 24th clock, setting data becomes invalid. During the period when CSN is set to "L", consecutive writing is available.
- <3> In read mode, instruction and address are synchronized and latched with the rising edge of 6 iterations of SCLK clock. And the register data are output from SDATAIN pin synchronized with the falling edge of 18 iterations of SCLK clock.
CSN to "H" once reading is completed because consecutive reading is not valid.
Also, in read mode DETO/SDATAOUT pin should be set to SDATAOUT by {SDATAOUT_OE}="1".

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
CSN setup time	t_{CSS}		40			ns
SDATAIN setup time	t_{DS}		20			ns
SDATAIN hold time	t_{DH}		20			ns
SCLK high time	t_{WH}		40			ns
SCLK low time	t_{WL}		40			ns
CSN low hold time	t_{CSLH}		20			ns
CSN high hold time	t_{CSHH}		40			ns
SCLK to SDATA output delay time	t_{DD}	20pF load			40	ns

Note) Digital input and output timing is relative to 0.5DVDD of rising signal and falling signal.

ADC AC Timing

At first, set {PDADC_N}="1" to operate the A/D Converter. A/D conversion cycle is started by the falling edge of AD_CSN. AD_SDO outputs "0" synchronized with the falling edge of AD_CSN. AD_SDO outputs "0" until the third falling edge of AD_SCLK. From the fourth falling edge, the results of 12 bits A/D conversion are output with MSB first during the 16th edge. A/D conversion cycle is ended on the 16th falling edge, AD_SDO becomes Hi-Z. After the 16th edge, set AD_CSN ="1". Since A/D converter becomes acquisition phase after the 16th falling edge of AD_SCLK, AD_CSN pin must keep "1" during the end of "tq" time after AD_SDO became Hi-Z. It is possible to get the available conversion results from the next cycle, since the first A/D conversion result is the dummy cycle (unavailable result).

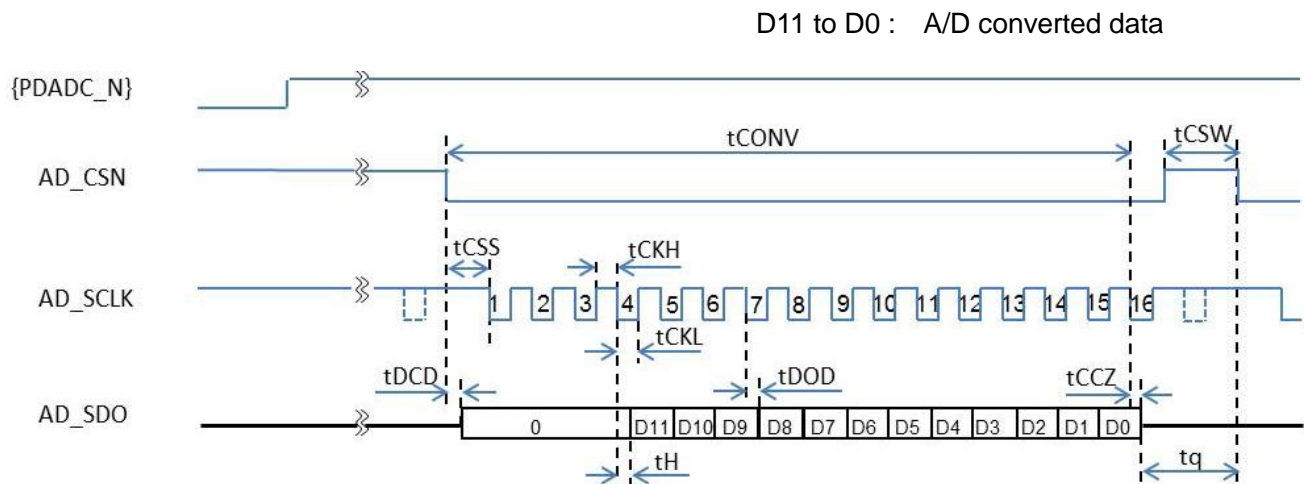


Figure 4 ADC Timing

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
AD_SCLK frequency	fADSCLK				20	MHz
Minimum quiet time required between bus relinquish and start of next conversion	Tq		40			ns
AD_CSN Falling to First SCLK Falling time	tCSS		10			ns
AD_CSN edge to AD_SDO Tri-State Disabled	tDCD				25	ns
AD_SCLK Falling to AD_SDO Output Delay time	tDOD	15pF load			25	ns
AD_SCLK High Pulse Width	tCKH		0.4×tA DSCLK			ns
AD_SCLK Low Pulse Width	tCKL		0.4×tA DSCLK			ns
16th AD_SCLK Falling to AD_SDO Hi-Z State Delay time	tCCZ				25	ns
Minimum AD_CSN Pulse Width	tCSW		25			ns

Note) Digital input and output timing is relative to 0.5DVDD of rising signal and falling signal.

Power-up sequence

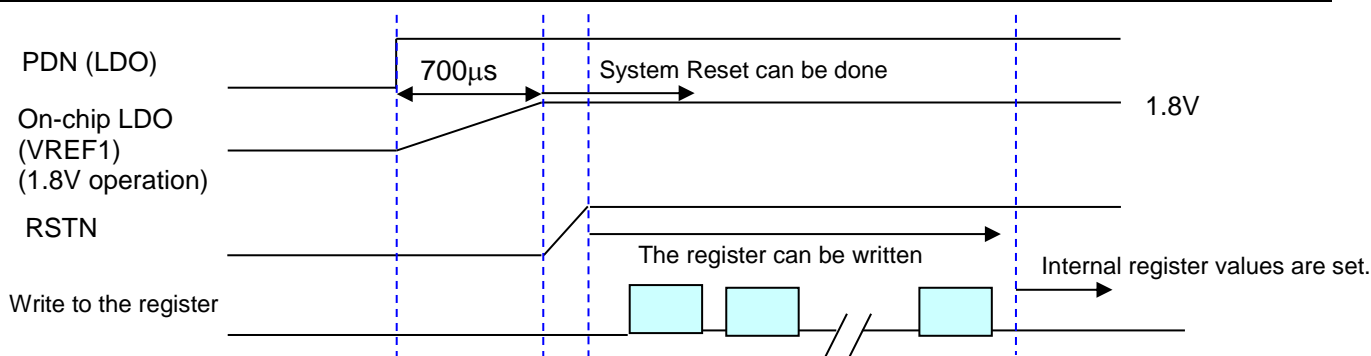


Figure 5 power-up sequence

Note) Power-up sequence assumes VDD ON.

After PDN is set to “High”, registers remain undefined. In order to initialize them, RSTN is set to “High”

System Reset

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit	Remarks
Hardware reset signal input width	t_{RSTN}	RSTN pin	1			μs	Note 1)
Software reset		SRST register					Note 2)

Note1) After power-on, be sure to perform a hardware reset operation (register initialization). The system is reset by a Low input of 1us (min.) and enters the normal operation state.

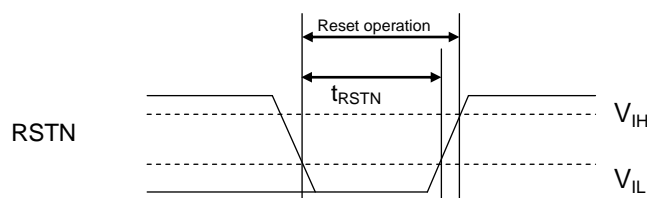


Figure 6 System Reset

During the reset operation, SCLK, SDATAIN and CSN pin should be keep to Low or High.

Ex) SCLK:Low, SDATAIN:Low, CSN:High

Note2) When data 0x09:10101010 is written to the SRST[7:0] register, software reset is performed. This setting initializes the registers and the operation mode is set to mode 2 (Standby 2). After software reset is completed, this register comes to “0”.

Analog Characteristics (PLL SYNTH)

Unless otherwise noted VDD=2.7 to 5.5V, Ta=-40°C to 85°C.

Parameter	Min	Typ.	Max	Unit	Remarks
RF Characteristics					
Input Sensitivity	-10		5	dBm	
Input Frequency	40		500	MHz	Prescaler 4/5
	40		1000	MHz	Prescaler 8/9,16/17
REFIN Characteristics					
Input Sensitivity	0.4		2	Vpp	
Input Frequency		15.3 16.8 19.2		MHz	Note 1)
Phase Frequency Detector					
Phase Detector Frequency			6.4	MHz	
Charge Pump					
Charge Pump 1 Maximum Value		168.9		μA	BIAS3=27kΩ, Note 2)
Charge Pump 1 Minimum Value		21.1		μA	BIAS3=27kΩ, Note 2)
Charge Pump 2 Maximum Value		2.32		mA	BIAS3=27kΩ, Note 3)
Charge Pump 2 Minimum Value		0.84		mA	BIAS3=27kΩ, Note 3)
Icp TRI-STATE Leak Current		1		nA	0.6≤Vcpo≤CPVDD-0.7 (Vcpo:CP pin voltage)
Mismatch between Source and Sink Currents Note 4)			10	%	Vcpo= CPVDD/2 Ta=25°C
Icp vs. Vcpo Note 5)			15	%	0.5≤Vcpo≤CPVDD-0.5 Ta=25°C
Current Consumption					
IDD_SYN1			10	μA	PDN=0
IDD_SYN2		2.4	3.6	mA	Note 6)
IDD_SYN3		0.17		mA	Note 7)

Note 1) REFIN pin is input one third of the 2nd LO input frequency.

Note 2) Charge pump 1 current is determined by the setting in {CP1[2:0]} which is described on page 22.

Note 3) Charge pump 2 current is determined by the setting in {CP2[2:0]} which is described on page 23.

Note 4) Mismatch between Source and Sink Currents: $\frac{(|I_{sink}| - |I_{source}|)}{(|I_{sink}| + |I_{source}|)/2} \times 100$ [%]

Note 5) Icp vs. Vcpo: $\frac{\{1/2 \times (|I_1| - |I_2|)\}}{\{1/2 \times (|I_1| + |I_2|)\}} \times 100$ [%]

Note 6) [PDN]="High", {PDSYNTH_N}="High" IDD for [PVDD]

Note 7) [PDN]="High", {PDSYNTH_N}="High" IDD for [CPVDD]

IDD does not include the operation current in fast lockup mode.

Note) [PDN]="High", {PDSYNTH_N}="High", the total current consumption = IDD_SYN2+IDD_SYN3

Note) In the shipment test, the exposed pad on the center of the back of the package is connected to ground.

Note) When 2nd LO input frequency is used 28.8MHz, set {PDTRI_N}=0 and input the 2nd LO signal(28.8MHz) from LO2NDIN pin. Then REFIN Frequency is set 28.8MHz/3=9.6MHz.

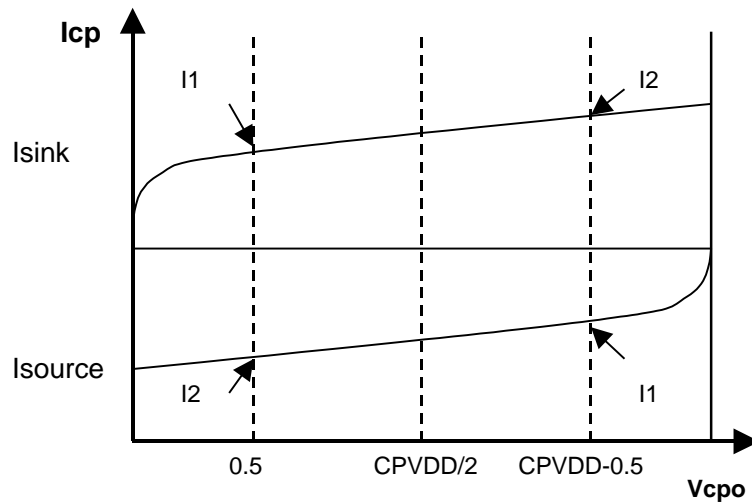


Figure 7 Charge Pump Characteristics - Voltage vs. Current

Analog Characteristics (1st MIXER)

Unless otherwise noted IF output=50MHz, Lo Input Level=-10dBm to +5dBm, {FMIX_HV}=0, {FMIX_IP3}=0, Output Load Resistor (R_{Load})=2.2kΩ, VDD=2.7 to 5.5V, Ta=-40°C to 85°C, Test circuit is shown on page 41.

Parameter	Min.	Typ.	Max.	Unit	Remarks
RF Input Frequency	10		2000	MHz	
Lo Input Frequency	10		2000	MHz	
IF output Frequency	20		100	MHz	
Lo Input Power	-10	0	+5	dBm	
Current Adjustment Resistor(BIAS) ({FMIX_HV}=0)	39		100	kΩ	Vdd=2.7 to 5.5V
Current Adjustment Resistor(BIAS) ({FMIX_HV}=1)	18		39	kΩ	Vdd=4.5 to 5.5V
IDD(BIAS=18kΩ, {FMIX_HV}=1)		24		mA	The total current of MIXVDD, IFOUTP, IFOUTN.
IDD(BIAS=47kΩ)		9	13	mA	
IDD({PDFSTMIX_N}=0)		1	10	uA	
RFIN=600MHz, LOIN=550MHz(0dBm), BIAS=47kΩ, Vdd=3V					
Conversion Gain	0.5	3	5	dB	
SSB Noise Figure		8.5	11	dB	Design guarantee value
IP1dB	-3	1		dBm	
IIP3	7	11		dBm	
RFIN=600MHz, LOIN=550MHz(0dBm), BIAS=18kΩ, {FMIX_HV}=1, Vdd=5V					
Conversion Gain		5		dB	
SSB Noise Figure		8.5		dB	Design guarantee value
IP1dB		0		dBm	
IIP3		16		dBm	Design guarantee value
RFIN=600MHz, LOIN=550MHz(0dBm), BIAS=47kΩ, Vdd=3V, {FMIX_IP3}=1					
Conversion Gain		3		dB	
SSB Noise Figure		10		dB	Design guarantee value
IP1dB		0		dBm	
IIP3		14		dBm	Design guarantee value
IDD		7		mA	

Analog Characteristics (2nd IF)

Unless otherwise noted VDD=2.7 to 5.5V, Ta=-40°C to 85°C.

Mode 6, LO2NDIN=50.4MHz, IFIP=50.85MHz, $\Delta f = \pm 1.5\text{kHz}$, fmod=1kHz, AGC+BPF=F2, {AGC_OFF}=0, {AGC_KEEP_SEL}=0, {AGC_KEEP}=0, PGA0[2:0]=011. {SDATAOUT_OE}=0. The exposure back pad of the package is connected to VSS. Test circuit is shown on page 45.

1) 2nd LO input

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit	Remarks
Parameter	F_{LO}	LO2NDIN		28.8 45.9 50.4 57.6		MHz	
Local Frequency	V_{LO}	LO2NDIN	0.2		2.0	V_{PP}	Note

Note) Input from LO2NDIN pin through DC cut

2) PGA0+2nd Mixer

Analog Characteristics (2nd IF) are included the circuit of IFIP input pin.

The input impedance of 2nd IF_INPUT is 50Ω typ. (See Figure 8 for input matching network)

Parameter	Conditions	Min.	Typ.	Max.	Unit	Remarks
Input Impedance			50		Ω	
Input Frequency			F_{LO} ± 0.45		MHz	
Voltage Gain			48		dB	

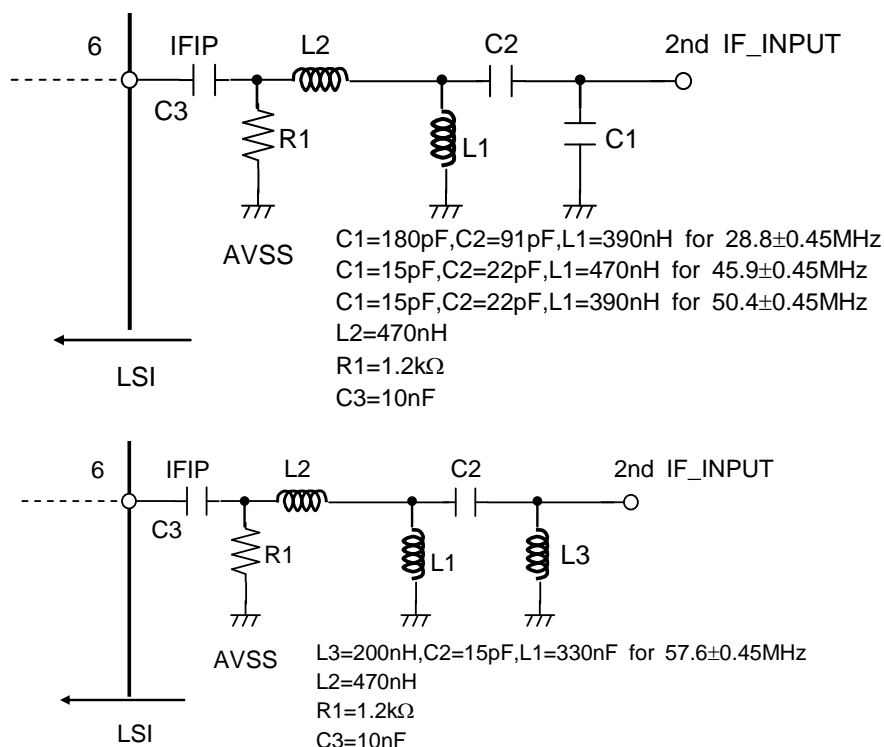


Figure 8 Test circuit of IFIP Input pin (2nd IF)

3) 2nd IF RX overall characteristics

Parameter	Conditions	Min.	Typ.	Max.	Unit	Remarks
12dB SINAD	Note 1)		-112		dBm	
2nd IF block Total Gain	Mode 5 Maximum gain setting for AGC IFIP to IFOUT {IFOG[2:0]}=001		101		dB	
	Mode 5 Minimum gain setting for AGC IFIP to IFOUT {IFOG[2:0]}=001		49		dB	
NF	Mode 5, BPF=F3 Maximum gain setting for AGC IFIP to IFOUT {IFOG[2:0]}=001		8		dB	
IIP3	Maximum gain setting for AGC IFIP=50.8635MHz&50.876MHz {IFOG[2:0]}=001		-37		dBm	
IP1dB	Minimum gain setting for AGC {IFOG[2:0]}=001		-40		dBm	
Demodulation Output Level	$\Delta f = \pm 3.0\text{kHz}$, fmod=1kHz, AGC+BPF=F1, {DISLPF_G[2:0]}=101	70	100	130	mVrms	
	$\Delta f = \pm 1.5\text{kHz}$, fmod=1kHz, AGC+BPF=F2, {DISLPF_G[2:0]}=001	70	100	130	mVrms	
S/N Ratio	$\Delta f = \pm 3.0\text{kHz}$, fmod=1kHz, Vin=-47dBm AGC+BPF=F1, {DISLPF_G[2:0]}=101 Note 1)	42	50		dB	
	$\Delta f = \pm 1.5\text{kHz}$, fmod=1kHz, Vin=-47dBm AGC+BPF=F2, {DISLPF_G[2:0]}=001 Note 1)	36	46		dB	
Audio Frequency characteristics	$\Delta f = \pm 0.5\text{kHz}$, fmod=3kHz, Vin=-47dBm AGC+BPF=F3, IFIP to AUDIOOUT {DISLPF_G[2:0]}=001 Note 2)	-4.3	-3.5		dB	

Note 1) With De-emphasis+BPF(0.3 to 3kHz)

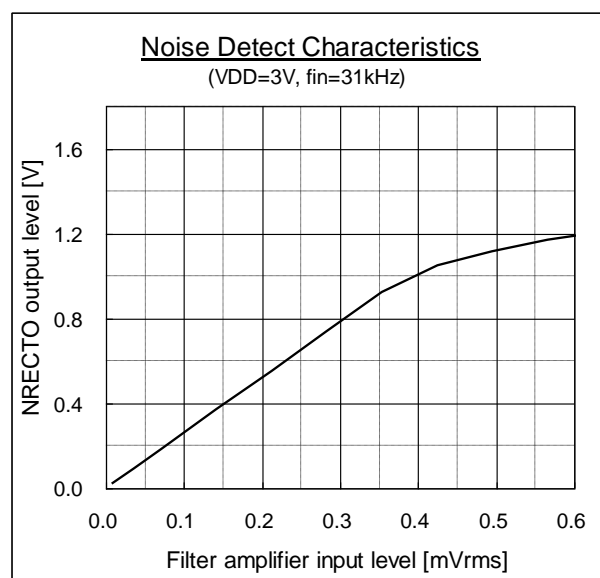
Note 2) relative to the output level at fmod=1kHz

4) RSSI Characteristics

Parameter	Conditions	Min.	Typ.	Max.	Unit	Remarks
RSSI output voltage	IFIP→RSSIOUT, {AGC_OFF}=0 IFIP=-115dBm input		0.6		V	
	IFIP→RSSIOUT, {AGC_OFF}=0 IFIP=-45dBm input		2.2		V	

5) Noise Squelch Characteristics

Parameter	Conditions	Min.	Typ.	Max.	Unit	Remarks
Noise Detection Level	NRECTO→DETO Detect High		0.5	0.7	V	
	NRECTO→DETO Detect Low	0.3	0.4		V	
Noise Detection Characteristics	NAMPI→NRECTO Input : 31kHz, 0.1mVrms		0.3		V	
	NAMPI→NRECTO Input : 31kHz, 0.25mVrms		0.65		V	



6) AGC+BPF

6.1) F0 (E type)

Parameter	Conditions	Min.	Typ.	Max.	Unit	Remarks
Attenuation Characteristics (relative to the gain at 450kHz)	435kHz			-50	dB	
	442.5kHz	-6			dB	
	457.5kHz	-6			dB	
	465kHz			-50	dB	
Gain ripple	Within 450±5kHz			3	dB	

6.2) F1 (F type)

Parameter	Conditions	Min.	Typ.	Max.	Unit	Remarks
Attenuation Characteristics (relative to the gain at 450kHz)	437.5kHz			-50	dB	
	444kHz	-6			dB	
	456kHz	-6			dB	
	462.5kHz			-50	dB	
Gain ripple	Within 450±4kHz			3	dB	

6.3) F2 (G type)

Parameter	Conditions	Min.	Typ.	Max.	Unit	Remarks
Attenuation Characteristics (relative to the gain at 450kHz)	439kHz			-50	dB	
	445.5kHz	-6			dB	
	454.5kHz	-6			dB	
	461kHz			-50	dB	
Gain ripple	Within 450±3kHz			3	dB	

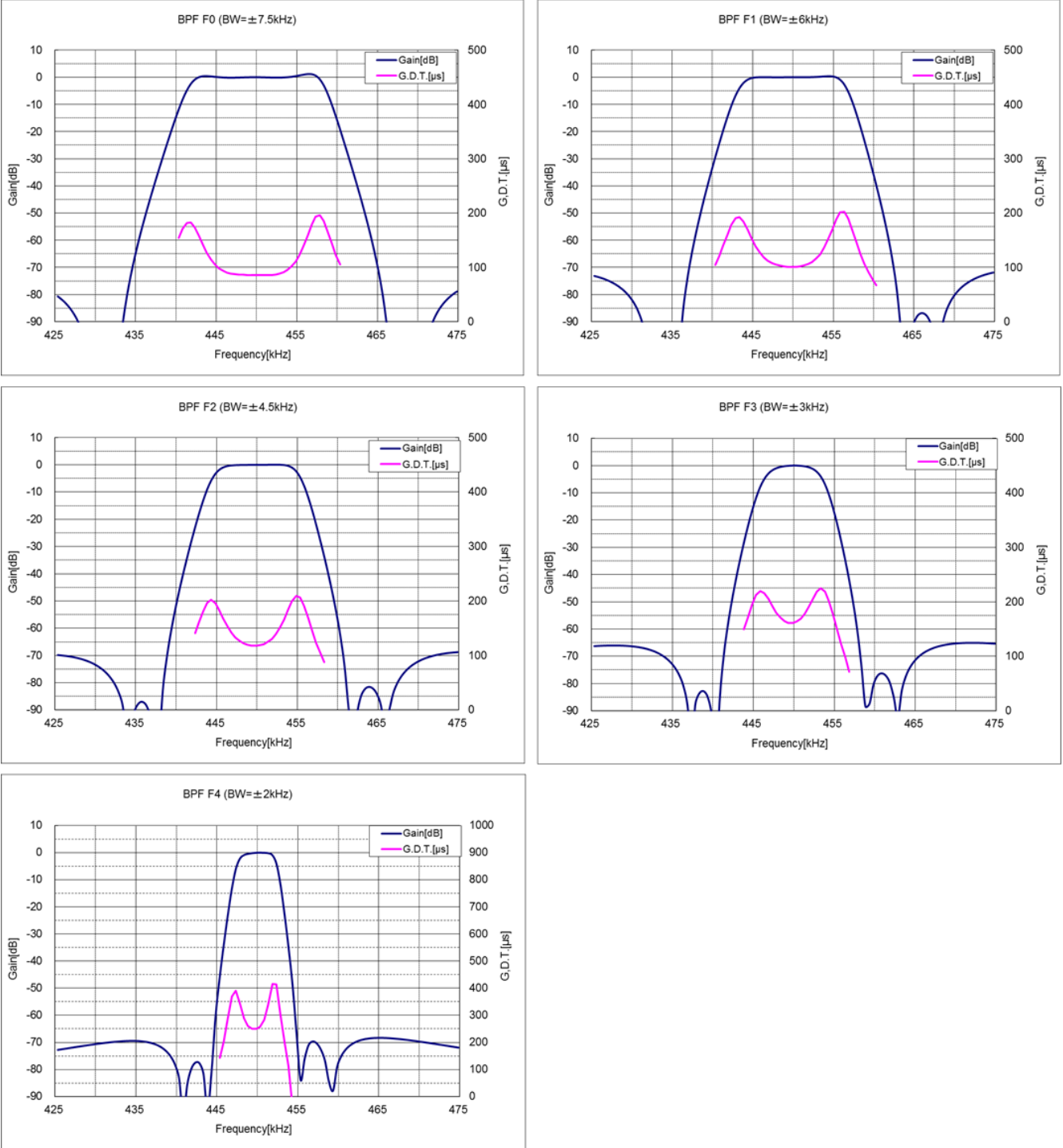
6.4) F3 (H type)

Parameter	Conditions	Min.	Typ.	Max.	Unit	Remarks
Attenuation Characteristics (relative to the gain at 450kHz)	441kHz			-50	dB	
	447kHz	-6			dB	
	453kHz	-6			dB	
	459kHz			-50	dB	
Gain ripple	Within 450±2kHz			2	dB	

6.5) F4 (J type)

Parameter	Conditions	Min.	Typ.	Max.	Unit	Remarks
Attenuation Characteristics (relative to the gain at 450kHz)	443kHz			-50	dB	
	448kHz	-8			dB	
	452kHz	-8			dB	
	457kHz			-50	dB	
Gain ripple	Within 450±1.5kHz			3.5	dB	

Filter Characteristics



7) IFBUF Characteristics

Parameter	Conditions	Min.	Typ.	Max.	Unit	Remarks
Settling time	IFBUF to IFOUT, IFBUF=0.32Vpp/step C _{L2} =21pF, {IFOG[2:0]}=001		100		ns	

Note) Convergence time within 1% when 0.32Vpp step signal input to IFBUF pin

8) Current Consumption

Parameter	Symbol	Conditions	Min.	Typ.	Max.	Unit
Current Consumption	IDD0	Mode0 Power down			0.01	mA
	IDD1	Mode1 (Prohibited)			-	mA
	IDD2	Mode2 Standby(Initial value)		0.1	0.15	mA
	IDD3	Mode3		1	1.5	mA
	IDD4	Mode4, Digital Mode 1 with no signal input		7	11	mA
	IDD5	Mode5 Digital Modo 2 with no signal input. Note 2)		7.5	12	mA
	IDD6	Mode6 Analog Mode with no signal input Note 2)		7.5	12	mA
	IDD7	Mode7 Full Power On with no signal nput Note 2)		8.5	13	mA

Note 1) Current Consumption is AVDD pin.

Note 2) Tripler circuit : ON

Note 3) Do not use Mode1.

Analog Characteristics (ADC)

Unless otherwise noted VDD=2.7 to 5.5V, Ta=-40°C to 85°C.

fs=1MHz , ADVDD = 3.0V, AD_SCLK=20MHz

Parameter	Min.	Typ.	Max.	Unit
Resolution		12		Bits
No Missing Codes Note 2)	11			Bits
Integral Nonlinearity (INL) Error		±2		LSB
Differential Nonlinearity (DNL) Error		±1		LSB
Input Voltage Range	0		ADVDD	V
ADVDD Power Current		2	3.8	mA

Note 1) The above is the characteristics of only A/D converter block.

Note 2) Design guarantee value

Register Map and Function Description

Name	Address	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
NUM	0x01	NUM [17]	NUM [16]	NUM [15]	NUM [14]	NUM [13]	NUM [12]	NUM [11]	NUM [10]	NUM [9]	NUM [8]	NUM [7]	NUM [6]	NUM [5]	NUM [4]	NUM [3]	NUM [2]	NUM [1]	NUM [0]
	Initial Value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
INT	0x02	CP1 [2]	CP1 [1]	CP1 [0]	INT [14]	INT [13]	INT [12]	INT [11]	INT [10]	INT [9]	INT [8]	INT [7]	INT [6]	INT [5]	INT [4]	INT [3]	INT [2]	INT [1]	INT [0]
	Initial value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
DIV	0x03	0	INTE	CP HiZ	DITH	LDCKSEL [1]	LDCKSEL [0]	LD	CP POLA	PRE [1]	PRE [0]	R1 [7]	R1 [6]	R1 [5]	R1 [4]	R1 [3]	R1 [2]	R1 [1]	R1 [0]
	Initial value	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
CP_FAST	0x04	0	FAST EN	CP2 [2]	CP2 [1]	CP2 [0]	FAST [12]	FAST [11]	FAST [10]	FAST [9]	FAST [8]	FAST [7]	FAST [6]	FAST [5]	FAST [4]	FAST [3]	FAST [2]	FAST [1]	FAST [0]
	Initial value	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
NSQ	0x05	VTSEL [1]	VTSEL [0]	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	Initial value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
OFFSET	0x06	OFST [17]	OFST [16]	OFST [15]	OFST [14]	OFST [13]	OFST [12]	OFST [11]	OFST [10]	OFST [9]	OFST [8]	OFST [7]	OFST [6]	OFST [5]	OFST [4]	OFST [3]	OFST [2]	OFST [1]	OFST [0]
	Initial value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
IFBPF	0x07	AGC_KEE P	AGCLVL_H [2]	AGCLVL_H [1]	AGCLVL_H [0]	AGCLVL_L [2]	AGCLVL_L [1]	AGCLVL_L [0]	CAL	AGC_FAS T	AGC_ TIME [1]	AGC_ TIME [0]	AGC1_ STEP	AGC_ OFF	BPF_BW [2]	BPF_BW [1]	BPF_BW [0]	LOFREQ [1]	LOFREQ [0]
	Initial value	0	1	0	1	1	0	0	0	1	0	0	1	0	0	0	0	0	1
PGA	0x08	PGA0_L G	PGA2_G [4]	PGA2_G [3]	PGA2_G [2]	PGA2_G [1]	PGA2_G [0]	PGA1_G [5]	PGA1_G [4]	PGA1_G [3]	PGA1_G [2]	PGA1_G [1]	PGA1_G [0]	PGA0_ [2]	PGA0_ [1]	PGA0_ [0]	IFOG [2]	IFOG [1]	IFOG [0]
	Initial value	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	1
SRST	0x09	0	0	0	0	0	0	0	0	0	0	SRST [7]	SRST [6]	SRST [5]	SRST [4]	SRST [3]	SRST [2]	SRST [1]	SRST [0]
	Initial value	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PD	0x0A	0	RSSIMD	0	AGC_KEE P_SEL	SDATAOU T_OE	FMIX_IP3	DISLPF_G [2]	DISLPF_G [1]	DISLPF_G [0]	FMIX_HV	PDTRI_N	BS[2]	BS[1]	BS[0]	PDSYNTH_N	PDADC_N	PDFSTMI X_N	BSSEL_F MIX
	Initial value	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
PD_AGCG	0x0B								R_AGC1_G [5]	R_AGC1_G [4]	R_AGC1_G [3]	R_AGC1_G [2]	R_AGC1_G [1]	R_AGC1_G [0]	R_AGC2_G [4]	R_AGC2_G [3]	R_AGC2_G [2]	R_AGC2_G [1]	R_AGC2_G [0]
	Initial value								-	-	-	-	-	-	-	-	-	-	-

Note1) Writing into address 0x01 is enabled when writing into address 0x02 is performed. Be sure to write into address 0x01 first and then address 0x02.

Note2) The initial register values are not defined. Therefore, even after [PDN] is set to "High", each bit initial value remains undefined. In order to set all register values, it is required to write the data in all addresses of the register.

Note3) Do not access the data except specified address 0x0c to 0x1f.

Address 0x01

Note) Writing into address 0x01 is enabled when writing into address 0x02 is performed.

NUM[17:0] : Set the numerator in 2's complementary representation.

Address 0x02

CP1[2:0]: Sets the current value for the charge pump in normal operation (Charge Pump 1).

Charge Pump 1 current is determined by the following formula:

$CP1_min = 0.57 / \text{Resistance connected to the [BIAS] pin}$

Charge Pump 1 current = $CP1_min \times (CP1 \text{ setting} + 1)$

	Charge Pump 1 current [uA]		
CP1[2:0]	22kΩ	27 kΩ	33 kΩ
000	25.9	21.1	17.3
001	51.8	42.2	34.5
010	77.7	63.3	51.8
011	103.6	84.4	69.1
100	129.5	100.6	86.4
101	155.5	126.7	103.6
110	181.4	147.8	120.9
111	207.3	168.9	138.2

INT[14:0] : Sets the integer.

When {PRE[1:0]} = "00", P = 4 is selected and then an integer from 48 to 8191 can be set.

When {PRE[1:0]} = "01", P = 8 is selected and then an integer from 116 to 16383 can be set.

When {PRE[1:0]} = "10" or "11", P = 16 is selected and then an integer from 348 to 32767 can be set.

Address 0x03

INTE : INTEGER mode

0 : Disable

1 : Enable (The delta-sigma circuit is integer mode operation.
Don't use DFM operation.)

CPHIZ : Selects normal or TRI-STATE for the CP1/CP2 output.

0 : Charge pumps are activated. (Use this setting for normal operation.)

1 : TRI-STATE (The charge pump output is put in the high-impedance (Hi-Z) state.)

DITH : Selects dithering ON or OFF for a delta-sigma circuit.

0 : DITH OFF (Low Noise mode)

1 : DITH ON (Low Spurious mode)

When OFFSET register is used, set DITH=0(OFF).

LDCKSEL[1:0] : Sets phase error values for lock detect.

When DITH="1" :

$VCO \text{ frequency} > [\text{REFIN}] \text{ pin input frequency} / [\text{LDCKSEL}[1:0] \text{ setting} + 1] \times 7$

When DITH="0" :

$VCO \text{ frequency} > [\text{REFIN}] \text{ pin input frequency} / [\text{LDCKSEL}[1:0] \text{ setting} + 1] \times 4$

"00" : 1 cycle of the REFIN clock (This cannot be used for the reference dividing ratio ≤ 3 .)

"01" : 2 cycle of the REFIN clock (This cannot be used for the reference dividing ratio ≤ 5 .)

"10" : 3 cycle of the REFIN clock (This cannot be used for the reference dividing ratio ≤ 6 .)

"11" : 1 cycle of the REFIN clock (This must be used for the reference dividing ratio = 3)

LD : Selects analog or digital for the lock detect.

0 : Digital Lock Detect

1 : Analog Lock Detect

CPPOLA : Selects positive or negative output polarity for Charge Pump1 and Charge Pump2.

0 : Positive

1 : Negative

PRE[1:0] : Selects a dividing ratio for the prescaler.

"00" : P=4

"01" : P=8

"10" : P=16

"11" : P=16

R1[7:0] : Sets a dividing ratio for the reference clock.

This can be set in the range from 3 (3 divisions) to 255 (255 divisions). 0 to 2 cannot be set.

Address 0x04

FASTEN : Enables or disables the Fast Lockup mode. **FAST**

0 : The switchover settings specified in CP2[2:0] and FAST[12:0] are disabled.

1 : The switchover settings specified in CP2[2:0] and FAST[12:0] are enabled.

CP2[2:0] : Sets the current value for the charge pump for the Fast Lockup mode

(Charge Pump 2).

Charge Pump 2 current is determined by the following formula:

$CP2_min = 0.57 / \text{Resistance connected to the [BIAS] pin}$

Charge Pump 2 current = $CP2_min \times (CP2 \text{ setting} + 4)$ [mA]

CP2[2:0]	Charge Pump 2 current [mA]		
	33kΩ	27 kΩ	22 kΩ
000	0.69	0.84	1.04
001	0.86	1.06	1.30
010	1.04	1.27	1.55
011	1.21	1.48	1.81
100	1.38	1.69	2.07
101	1.55	1.90	2.33
110	1.73	2.11	2.59
111	1.90	2.32	2.85

FAST[12:0] : Sets the FAST counter value.

A decimal number from 1 to 8191 can be set. This counter value is used to set the time period during which the charge pump for the Fast Lockup mode is ON.

The charge pump for the Fast Lockup mode is turned OFF after the time period calculated by [this count value x phase detector frequency cycle]. 0 cannot be set.

Address 0x05

VTSEL[1:0] : Sets the noise detection level of noise squelch circuit.

00 : 0.4V/0.5V (default) 01 : 0.8V/0.9V

10 : 1.1V/1.2V 11 : 1.4V/1.5V

Address 0x06**OFST[17:0] : Set the adjustable frequency offset in 2's complementary representation.**

OFFSET register must be written at the speed calculated by " $1/3.5 \times \text{RF Frequency} / (\text{INT} + 7)$ ". If the writing speed is faster than this, the setting isn't valid.

This register is offset from carrier frequency.

After this register is accessed, NUM[17:0] and INT[14:0] are recalculated and their recalculated data are used in delta-sigma and N-divider. When this register is not used, this register must be written 00000 (hexadecimal).

When OFFSET register is used, set DITH=0(OFF).

Address 0x07**AGC_KEEP : The function of AGC1/2 gain keeping**

When the AGC function is active, the gain setting of AGC1/2 is kept during {AGC_KEEP}=1.

On the other hand, the gain setting of AGC1/2 is changed by IFIP signal during {AGC_KEEP}=0.

0 : the gain setting of AGC1/2 is changed by IFIP signal. (default)

1 : the gain setting of AGC1/2 is kept.

AGCLVL_H[2:0]: Setting the upper limit of AGC threshold level.

AGCLVL_H [2]	AGCLVL_H [1]	AGCLVL_H [0]	upper limit
0	0	0	-5dB
0	0	1	-4dB
0	1	0	-3dB
0	1	1	-2dB
1	0	0	-1dB
1	0	1	0dB (default)
1	1	0	1dB
1	1	1	2dB

AGCLVL_L[2:0]: Setting the lower limit of AGC threshold level.

AGCLVL_L [2]	AGCLVL_L [1]	AGCLVL_L [0]	lower limit
0	0	0	-8dB
0	0	1	-6dB
0	1	0	-4dB
0	1	1	-2dB
1	0	0	0dB (default)
1	0	1	1dB
1	1	0	2dB
1	1	1	3dB

Note 1) When the AGC1/2 output level is bigger than the upper limit value, AGC1/2 gain is decreased. When the AGC1/2 output level is smaller than the lower limit value, AGC1/2 gain is increased. The upper/lower limit level is tunable based on default setting limit value.

Note 2) When AGC function is active ({AGC_OFF}=0), AGC1/2 works as Note1..

CAL : Discriminator circuit calibration start trigger Discriminator

0 : Invalid

1 : Start

Note) : Calibration is performed synchronized with the rising edge of {CAL}.

After calibration completed, this register is set to "0" automatically. It takes 1.3ms before calibration is completed. Refer to "calibration procedure" for further information.

AGC_FAST : AGC control switching

0 : AGC control is operated with AGC response time described in AGC_TIME[1:0].

1 : The time constant of response time is changed by conditions that AGC1/AGC2 output level converges between the upper limit and lower limit(convergence) or not(attack/release).

attack/release : AGC response time is the same as AGC_TIME="00".

convergence : AGC response time is set with AGC_TIME[1:0].

This setting provides the fast response time that can be followed the burst signal. (default)

AGC_TIME[1:0] : AGC response time setting

This register set response time for AGC1 gain and AGC2 gain to change by 1step.

AGC_TIME [1]	AGC_TIME [0]	AGC response time [ms]					
		AGC1_STEP=0 setting			AGC1_STEP=1 setting		
		State A	State B	State C	State A	State B	State C
0	0	(0.6)	(8.5)	(8.5)	(0.4)	(4.4)	(4.4)
0	1	(67)	(95)	(95)	(34)	(58)	(58)
1	0	(134)	(182)	(182)	(67)	(111)	(111)
1	1	(267)	(355)	(355)	(134)	(218)	(218)

Note) : Values above indicate response time during AGC gain changes from maximum to minimum or from minimum to maximum.

State A: AGC1 output level is beyond the upper limit.

State B: AGC1 output level is within the upper limit and AGC2 output level is beyond the upper limit.

State C: AGC2 output level is under the lower limit.

AGC1_STEP : AGC1 gain switching range setting

0 : ± 1 dB

1 : ± 2 dB (default)

AGC_OFF : AGC ON/OFF setting

0 : ON (default)

1 : Off

BPF_BW[2:0] : BPF band width setting

BPF_BW [2]	BPF_BW [1]	BPF_BW [0]	Name	6dB attenuation	Attenuation band width	Remarks
1	0/1	0/1	F0	± 7.5 kHz	± 15 kHz (within 50dB)	
0	0	0	F1	± 6 kHz	± 12.5 kHz (within 50dB)	
0	0	1	F2	± 4.5 kHz	± 11 kHz (within 50dB)	
0	1	0	F3	± 3 kHz	± 9 kHz (within 50dB)	
0	1	1	F4	± 2 kHz	± 7 kHz (within 50dB)	8dB attenuation at F4 : ± 2 kHz

LOFREQ[1:0] : Local frequency setting

LOFREQ [1]	LOFREQ [0]	Local Frequency
0	0	45.9MHz
0	1	50.4MHz
1	0	57.6MHz
1	1	28.8MHz

Address 0x08**PGA0[2:0]: Gain setting of PGA0+2nd MIX**

PGA0[2]	PGA0[1]	PGA0[0]	PGA0+2nd MIX gain [dB]
0	0	0	(42)
0	0	1	(44)
0	1	0	(46)
0	1	1	(48) (default)
1	0	0	(50)
1	0	1	(52)
1	1	0	(54)
1	1	1	(56)

Note) Test circuit is shown Figure 8 on page 15.

PGA0_LG: When {PGA0_LG}=1, PGA0+2nd MIX gain is fixed 28dB regardless of {PGA0[2:0]}.

0 : PGA0+2nd MIX gain is controlled by setting of {PGA0[2:0]} (default)

1 : PGA0+2nd MIX gain is 28dB fixed regardless of setting of {PGA0[2:0]}.

PGA2_G[4:0] : When AGC_OFF="1", AGC2 gain setting is available.

PGA2_G[4]	PGA 2_G[3]	PGA 2_G[2]	PGA 2_G[1]	PGA 2_G[0]	Gain[dB]
0	1	1	0	0	12
0	1	0	1	1	11
0	1	0	1	0	10
0	1	0	0	1	9
0	1	0	0	0	8
0	0	1	1	1	7
0	0	1	1	0	6
0	0	1	0	1	5
0	0	1	0	0	4
0	0	0	1	1	3
0	0	0	1	0	2
0	0	0	0	1	1
0	0	0	0	0	0

Note: Do not set the combination of the code which is not defined in the table given above.

PGA1_G[5:0] : When AGC_OFF="1", AGC1 gain setting is available.

PGA1_G[5]	PGA1_G[4]	PGA1_G[3]	PGA1_G[2]	PGA1_G[1]	PGA1_G[0]	Gain[dB]
0	1	0	1	0	1	21
0	1	0	1	0	0	20
0	1	0	0	1	1	19
0	1	0	0	1	0	18
0	1	0	0	0	1	17
0	1	0	0	0	0	16
0	0	1	1	1	1	15
0	0	1	1	1	0	14
0	0	1	1	0	1	13
0	0	1	1	0	0	12
0	0	1	0	1	1	11
0	0	1	0	1	0	10
0	0	1	0	0	1	9
0	0	1	0	0	0	8
0	0	0	1	1	1	7
0	0	0	1	1	0	6
0	0	0	1	0	1	5
0	0	0	1	0	0	4
0	0	0	0	1	1	3
0	0	0	0	1	0	2
0	0	0	0	0	1	1
0	0	0	0	0	0	0
1	1	1	1	1	1	-1
1	1	1	1	1	0	-2
1	1	1	1	0	1	-3
1	1	1	1	0	0	-4
1	1	1	0	1	1	-5
1	1	1	0	1	0	-6
1	1	1	0	0	1	-7
1	1	1	0	0	0	-8
1	1	0	1	1	1	-9
1	1	0	1	1	0	-10
1	1	0	1	0	1	-11
1	1	0	1	0	0	-12
1	1	0	0	1	1	-13
1	1	0	0	1	0	-14
1	1	0	0	0	1	-15
1	1	0	0	0	0	-16
1	0	1	1	1	1	-17
1	0	1	1	1	0	-18
1	0	1	1	0	1	-19

Note: Do not set the combination of the code which is not defined in the table given above.

IFOG[2:0] : IFBUF Gain setting.

IFOG [2]	IFOG [1]	IFOG [0]	IFBUF Gain[dB]
0	0	0	0
0	0	1	3 (default)
0	1	0	6
0	1	1	9
1	0	0	12
1	0	1	15

Address 0x09**Software-reset**

When data 0x09:10101010 is written to the SRST[7:0] register, software reset is performed.

Address 0x0A**PDN,BS[2:0] : 2nd IF Block Operation mode setting**

PDN	BS [2]	BS [1]	BS [0]	Mode name	LDO D	LDOA, AGNDI N	LOBUF , VIREF	2nd MIX ~SMF, DIV, AGCCNT	IFBU F	LIMITE R, RSSI	DISCRI, Noise Squelch
0	-	-	-	Mode0 (Power Down0)	OFF	OFF	OFF	OFF	OFF	OFF	OFF
1	0	0	1	Mode1 (Note 1)	ON	OFF	OFF	OFF	OFF	OFF	OFF
1	0	1	0	Mode2 (Initial value)	ON	ON	OFF	OFF	OFF	OFF	OFF
1	0	1	1	Mode3	ON	ON	ON	OFF	OFF	OFF	OFF
1	1	0	0	Mode4	ON	ON	ON	ON	ON	OFF	OFF
1	1	0	1	Mode5	ON	ON	ON	ON	ON	ON	OFF
1	1	1	0	Mode6	ON	ON	ON	ON	OFF	ON	ON
1	1	1	1	Mode7	ON	ON	ON	ON	ON	ON	ON

Note 1) : Do not use Mode1.

Note 2) : Do not set the combination of the code which is not defined in the table given above.

DISLPF_G[2:0]: Setting of the demodulation output level

DISLPF_G[2]	DISLPF_G [1]	DISLPF_G [0]	Demodulation output level when $\pm 1.5\text{kHz}$ dev. signal input
0	0	1	100mVrms
0	1	0	200mVrms
0	1	1	300mVrms
1	0	1	50mVrms
1	1	0	100mVrms
1	1	1	150mVrms

Note) The demodulation output level ($\pm 1.5\text{kHz}$ dev. signal input, AUDIOOUT pin output) can be set to 50mVrms typ. to 300mVrms typ. by setting of {DISLPF_G[2:0]}.

Note) Do not set the combination of the code which is not defined in the table given above.

AGC_KEEP_SEL: Select AGC function of gain keeping

This register set the control way of the function of gain keeping.

- 0 : Control by the register {AGC_KEEP} setting (default)
- 1 : Control by the pin of AGC_KEEP

SDATAOUT_OE: Select output signal of DETO/SDATAOUT pin

The signal of DETO or SDATAOUT can be output from DETO/SDATAOUT pin.

- 0 : DETO signal output (default)
- 1 : SDATAOUT signal output

FMIX_IP3: NF/IIP3 priority select of 1st Mixer

IIP3 performance of 1st Mixer is improved by setting {FMIX_IP3}=1 without more supply current. Then Current Adjustment Resistor (BIAS1/2) must be used < 47kΩ. If NF performance is more important than IIP3, setting {FMIX_IP3}=0.

- 0 : NF performance is preference (default)
- 1 : IIP3 performance improvement

FMIX_HV: High IIP3 mode of 1st Mixer

IIP3 performance of 1st Mixer is improved by adjustment of BIAS1/2 resistance and setting {FMIX_HV}="1". When FMIX_HV="1" setting, MIXVDD must be set more than 4.5V.

- 0 : BIAS1/2 ≥ 39kΩ (default)
- 1 : 18kΩ ≤ BIAS1/2 < 39kΩ

PDTRI_N: Tripler circuit On/Off

REFIN signal can be input from LO2NDIN pin by setting tripler circuit off. Then REFIN input is one third of the 2nd LO input frequency.

- 0 : Off (default)
- 1 : On

PDSYNTH_N: SYNTH On/Off

- 0 : Off (default)
- 1 : On

PDADC_N: ADC On/Off

- 0 : Off (default)
- 1 : On

PDFSTMIX_N: 1st MIXER On/Off

- 0 : Off (default)
- 1 : On

BSSEL_F MIX: Bias resistance select

- 0 : BIAS2 pin is enable (default)
- 1 : BIAS1 pin is enable

Address 0x0B

R_AGC1_G[5:0]: Read the gain setting of AGC1 when {AGC_OFF}=0

R_AGC2_G[4:0]: Read the gain setting of AGC2 when {AGC_OFF}=0

Block Diagram (PLL SYNTH)

The AK2400 is a Delta-Sigma Fractional-N PLL (Phase Locked Loop) frequency synthesizer with a frequency switching function, covering a wide range of frequencies from 10 to 1000MHz. This product consists of an 18-bit Delta-Sigma modulator, a low-noise phase frequency comparator, a highly accurate charge pump, a reference divider, dual-module prescaler (P/P+1) and frequency offset adjustable circuits. An excellent PLL can be achieved by combining this synthesizer with the external loop filter and VCO (Voltage Controlled Oscillator). The operating supply voltage is from 2.7 to 5.5V; and the charge pump and serial interface can be driven by individual supply voltages.

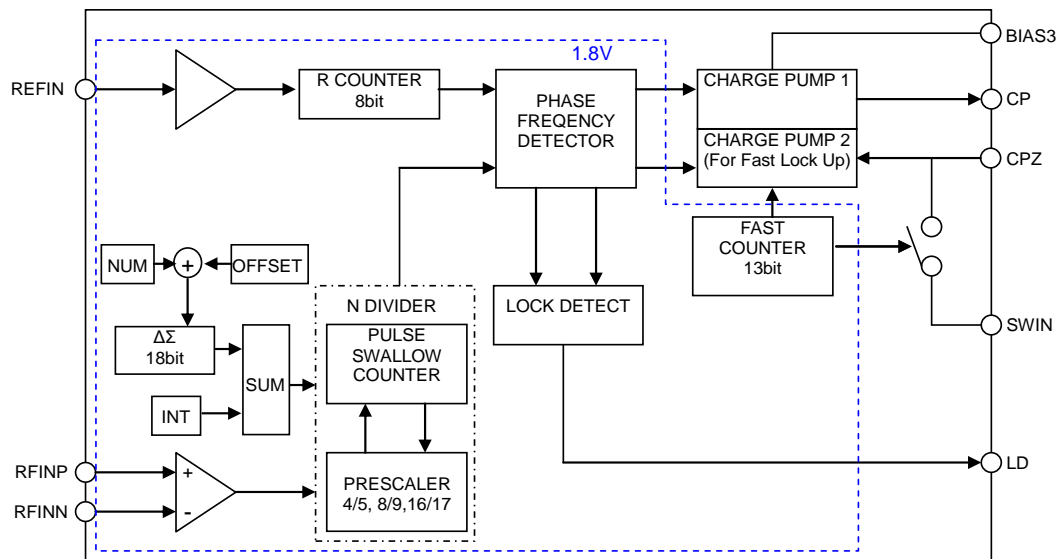


Figure 9 Block Diagram (PLL SYNTH)

Lock Detect function (PLL SYNTH)

In AK2400, "lock detect" output can be selected by $D[11] = \{LD\}$ in <Address3>. When $\{LD\}$ is set to "1", the phase frequency detector output provides a phase detection status as an analog level (comparison result). This is called "Analog Lock Detect". When $\{LD\}$ is set to "0", the lock detect signal outputs according to the on-chip logic. This is called "Digital Lock Detect".

Analog Lock Detect

In analog lock detect, the phase frequency detector output comes from the [LD] pin.

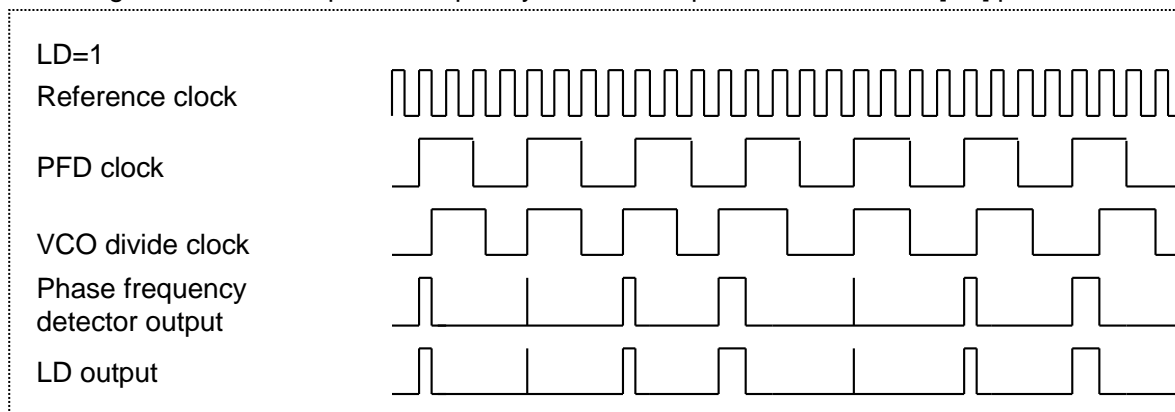


Figure 10 Analog Lock Detect

Digital Lock Detect

In the digital lock detect, the LD pin outputs "Low" every time when the frequency is set. And the LD pin outputs is "High" (which means the locked state) when a phase error smaller than T is detected for 63 times consecutively. If the phase error is larger than T is detected for 63 times consecutively when the LD pin outputs "High", the LD pin outputs "Low" (which means the unlocked state).

The accuracy of the phase detect is set by LDCKSEL[1:0].

"00" : 1 cycle of the REFIN clock (This cannot be used for the reference dividing ratio ≤ 3 .)

"01" : 2 cycle of the REFIN clock (This cannot be used for the reference dividing ratio ≤ 5 .)

"10" : 3 cycle of the REFIN clock (This cannot be used for the reference dividing ratio ≤ 6 .)

Since the AK2400 is a Delta-Sigma Fractional-N type, a phase error up to 7 times larger than the VCO period frequency may occur in the phase frequency detector. Therefore the LDCKSEL[1:0] setting should be large enough to cover the amplitude of the Delta-Sigma Fractional frequency. However, if the VCO frequency does not satisfy either of the following formula, the digital lock detect cannot be used. In such case, the analog lock detect should be used.

When $\{DITH\} = D[14]$ in <Address3> is set to "1" (DITH ON):

$VCO \text{ frequency} > [REFIN] \text{ pin input frequency} / [LDCKSEL[1:0] \text{ setting} + 1] \times 7$

When $\{DITH\} = D[14]$ in <Address3> is set to "0" (DITH OFF):

$VCO \text{ frequency} > [REFIN] \text{ pin input frequency} / [LDCKSEL[1:0] \text{ setting} + 1] \times 4$

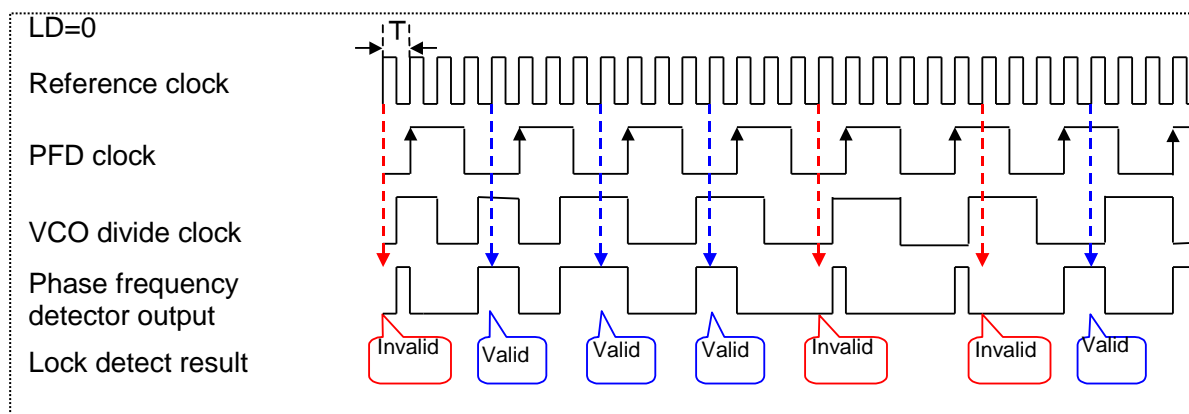


Figure 11 Digital Lock Detect

Transition Flow Chart: Unlock State to Lock State

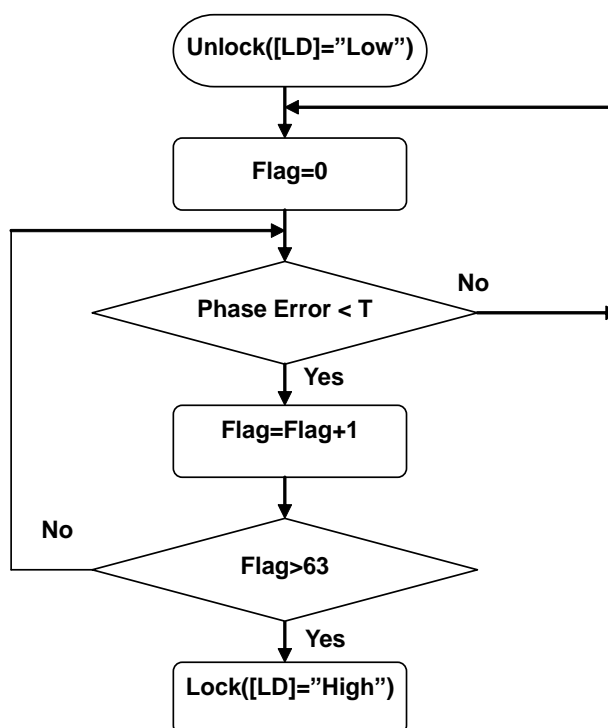


Figure 12-1 Unlock State to Lock State

Transition Flow Chart: Lock State to Unlock State

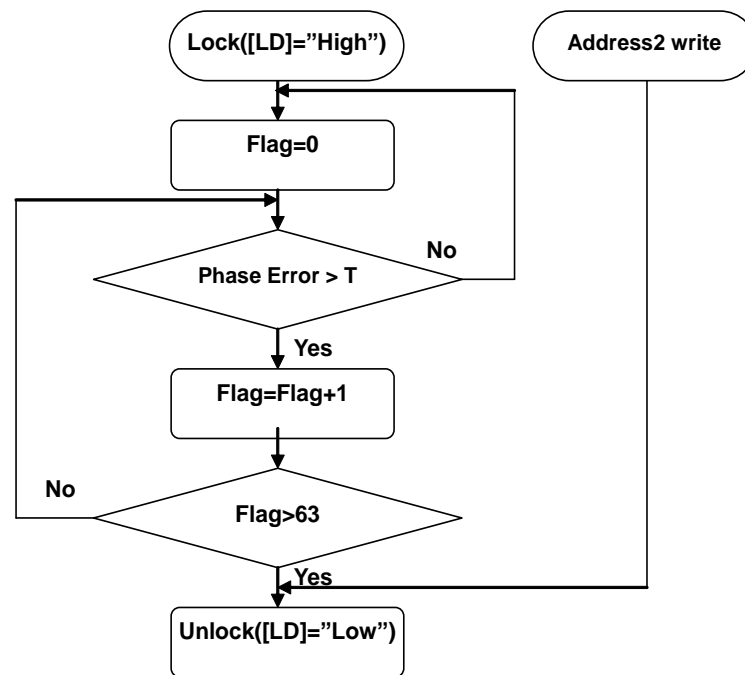


Figure 12-2 Digital Lock Detect

Frequency Setting (PLL SYNTH)

Frequency Setup

AK2400 is a Fractional-N type synthesizer that takes 2^{18} as the denominator, which calculates the integer and numerator to be set using the following formulas:

$$\begin{aligned} \text{Frequency setting} &= F_{\text{PFD}} \times (\text{Integer} + \text{Numerator} / 2^{18}) \\ \text{Integer} &= \text{ROUND} (\text{Target Frequency} / F_{\text{PFD}}) \\ \text{Numerator} &= \text{ROUND} \{ (\text{Target Frequency} - \text{Integer} \times F_{\text{PFD}}) / (F_{\text{PFD}} / 2^{18}) \} \end{aligned}$$

Note)

ROUND: Rounded off to the nearest integer

F_{PFD} : Phase Frequency Detector comparative Frequency ([REFIN] pin input frequency / R divider ratio)

Calculation examples

Example 1) The numerator is positive when the target frequency is 950.0375MHz and the Phase Frequency Detector comparative Frequency is 1MHz.

$$\text{Integer} = 950.0375\text{MHz} / 1\text{MHz} = 950.0375$$

It is rounded off to 950 (decimal) = 3B6 (hexadecimal) = 0011 1011 0110 (binary)

$$\text{Numerator} = (950.0375\text{MHz} - 950 \times 1\text{MHz}) / (1\text{MHz} / 2^{18}) = 9830.4$$

It is rounded off to 9830 (decimal) = 2666 (hexadecimal) = 10 0110 0110 0110 (binary)

$$\text{Frequency setting} = 1\text{MHz} \times (950 + 9830 / 2^{18}) = 950.0374985\text{MHz}$$

(In this case the error between the calculated frequency and the target frequency is 1.5Hz.)

Example 2) The numerator is negative when the target frequency is 950.550MHz and the Phase Frequency Detector comparative Frequency is 1MHz.

$$\text{Integer} = 950.550\text{MHz} / 1\text{MHz} = 950.550$$

It is rounded off to 951 (decimal) = 3B7 (hexadecimal) = 0011 1011 0111 (binary)

$$\text{Numerator} = (950.550\text{MHz} - 951 \times 1\text{MHz}) / (1\text{MHz} / 2^{18}) = -117964.8$$

It is rounded off to -117965 (decimal), which is deduced from 2^{18} to be converted into binary for 2's complementary expression.

$$2^{18} - 117965 \text{ (decimal)} = 144179 \text{ (decimal)} = 23333 \text{ (hexadecimal)} = 10 0011 0011 0011 0011 \text{ (binary)}$$

$$\text{Frequency setting} = 1\text{MHz} \times (951 + (-117965/2^{18})) = 950.5499992\text{MHz}$$

(In this case the error between the calculated frequency and the target frequency is 0.8Hz.)

Frequency switching adjustment (PLL SYNTH)

AK2400 has an offset adjustable register which can tune the carrier frequency set by {NUM[17:0]} in <Address1> and {INT[14:0]} in <Address2>. When the offset register: {OFST[17:0]} in <Address6> is accessed, {NUM[17:0]} and {INT[14:0]} are recalculated automatically and their recalculated data are used in delta-sigma and N-divider. This operation is suitable for AFC and DFM applications. When frequency offset is not used, the offset register must be written 00000 (hexadecimal). When OFFSET register is used, set DITH=0(OFF).

Setting examples

Example 1) The frequency offset is positive when the frequency offset is 100Hz and the Phase Frequency Detector comparative frequency is 1MHz.

$$\text{Frequency offset} = 100\text{Hz} / (1\text{MHz}/2^{18}) = 26.2$$

It is round off to 26 (decimal) = 1A (hexadecimal) = 11010 (binary)

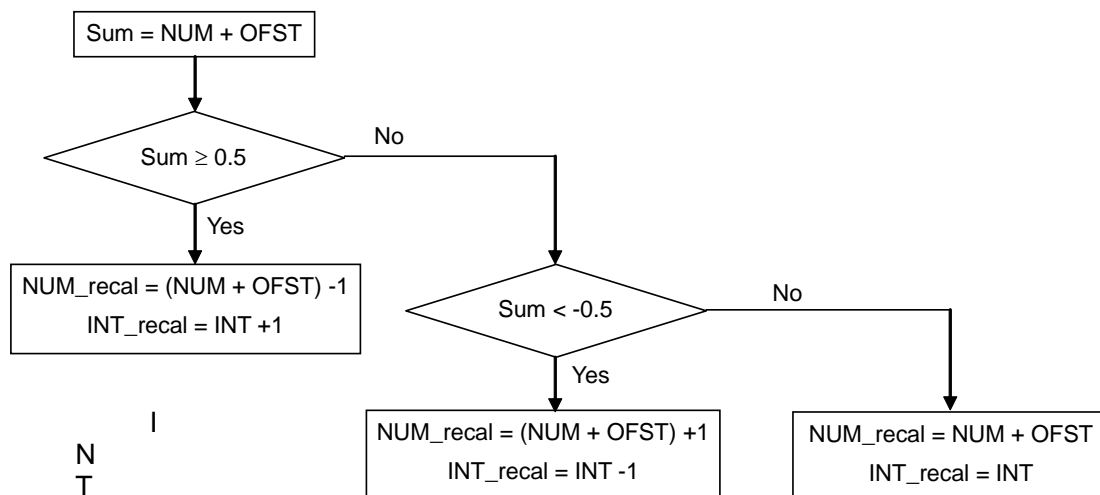
Example 2) The frequency offset is negative when the frequency offset is -100Hz and the Phase Frequency Detector comparative frequency is 1MHz.

$$\text{Frequency offset} = -100\text{Hz} / (1\text{MHz}/2^{18}) = -26.2$$

It is round off to -26 (decimal), which is deduced from 2^{18} to be converted into binary for 2's complementary expression.

$$2^{18} - 26 = 262118 \text{ (decimal)} = 3FFE6 \text{ (hexadecimal)} = 11\ 1111\ 1111\ 1110\ 0110 \text{ (binary)}$$

Algorithm of recalculation



NUM	written data in numerator register {NUM[17:0]}
OFST	written data in offset register {OFST[17:0]}
INT_recal	recalculated integer data
NUM_recal	recalculated numerator data

Figure 13 Frequency switching adjustment

Charge Pump and Loop Filter (PLL SYNTH)

AK2400 has two charge pumps; Charge Pump 1 for normal operation and Charge Pump 2 for Fast Lockup mode. The internal timer is used to switch these two charge pumps to achieve a Fast Lock PLL.

The loop filter is external and connected to [CP], [SWIN] and [CPZ] pins. [CPZ] pin should be connected to R2 and C2, which are intermediate nodes, even if the Fast Lockup is not used. Therefore, R2 must be connected to [CP] pin, while C2 must be connected to the ground.

R2 and R2' are connected in parallel with internal switch in Fast Lockup. These R2 and R2' parallel resistance value is required for calculating loop bandwidth and phase margin in Fast Lockup operation.

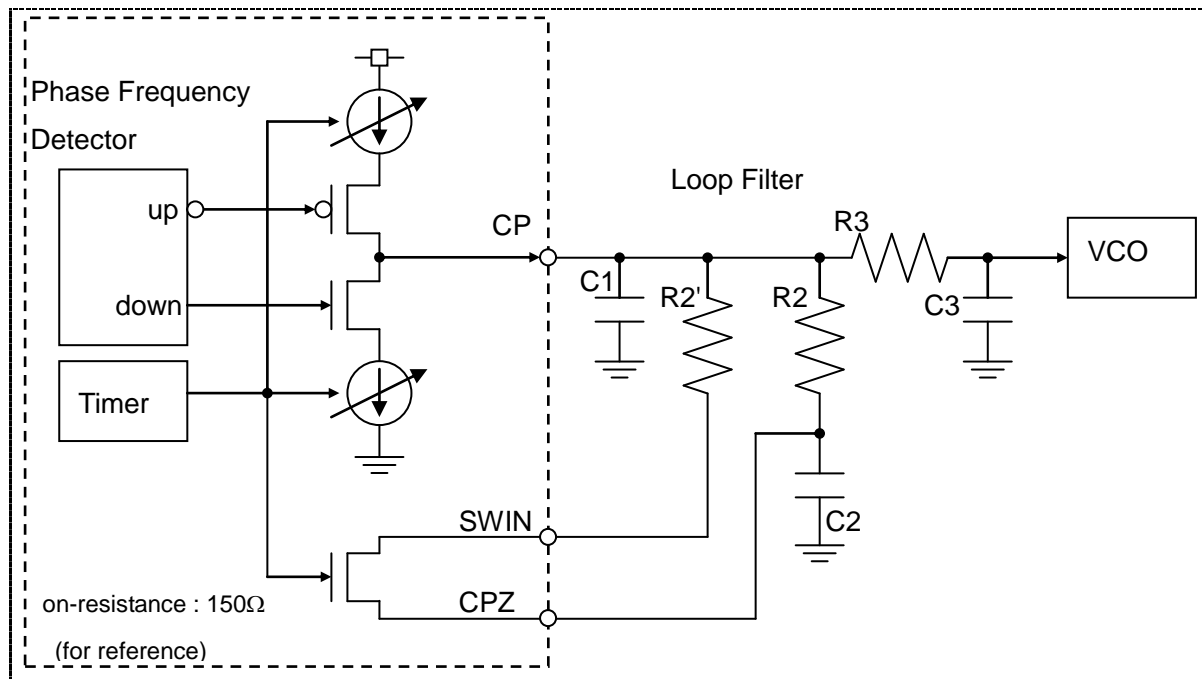


Figure 14 Charge pump and Loop Filter

Fast lock-up mode (PLL SYNTH)

Setting D[16] = {FASTEN} in <Address4> to "1" enables the Fast Lock Up mode for the AK2400. Changing a frequency setting (The frequency is changed at the rising edge of [CSN], when <Address1> and <Address2> are accessed.) or [PDSYNTH_N] pin is set from "Low" to "High" with {FASTEN}=1 enables the Fast Lockup mode. The loop filter switch turns ON during the timer period specified by the counter value in D[12:0] = {FAST[12:0]} in <Address4>, and the charge pump for the Fast Lockup mode (Charge Pump 2) is enabled. After the timer period elapsed, the loop filter switch turns OFF. The charge pump for normal operation (Charge Pump 1) is enabled. D[12:0] = {FAST[12:0]} in <Address4> is used to set the timer period for this mode.

The following formula is used to calculate the time period:

Phase detector frequency cycle x counter value set in {FAST[12:0]}

The charge pump current can be changed with the register setting in 8 steps in normal operation (Charge Pump 1) and 8 steps in the Fast Lockup operation (Charge Pump 2).

The charge pump current for normal operation (Charge Pump 1) is determined by the setting in {CP1[2:0]}, which is a 3-bit address of D[17:15] in <Address2>, and a value of the resistance connected to the BIAS3 pin. The following formulas show the relationship between the resistance value, the register setting and the electric current value.

Charge Pump 1 minimum current (CP1_min) = 0.57 / Resistance connected to the BIAS3 pin

Charge Pump 1 current = CP1_min x ({CP1[2:0]} + 1)

The charge pump current for the Fast Lockup mode operation (Charge Pump 2 current) is determined by the setting in {CP2[2:0]}, which is a 3-bit address of D[15:13] in <Address4>, and a value of the resistance connected to the BIAS3 pin. The following formula show the relationship between the resistance value, the register setting and the electric current value.

Charge Pump 2 minimum current (CP2_min) = 5.7 / Resistance connected to the BIAS3 pin

Charge Pump 2 minimum current (CP2_min) = CP2_min x ({CP2[2:0]} + 4)

The allowed range value for the resistance (connected to the BIAS3 pin (19)) is from 22 to 33 [kΩ] for both normal and Fast Lockup mode operations.

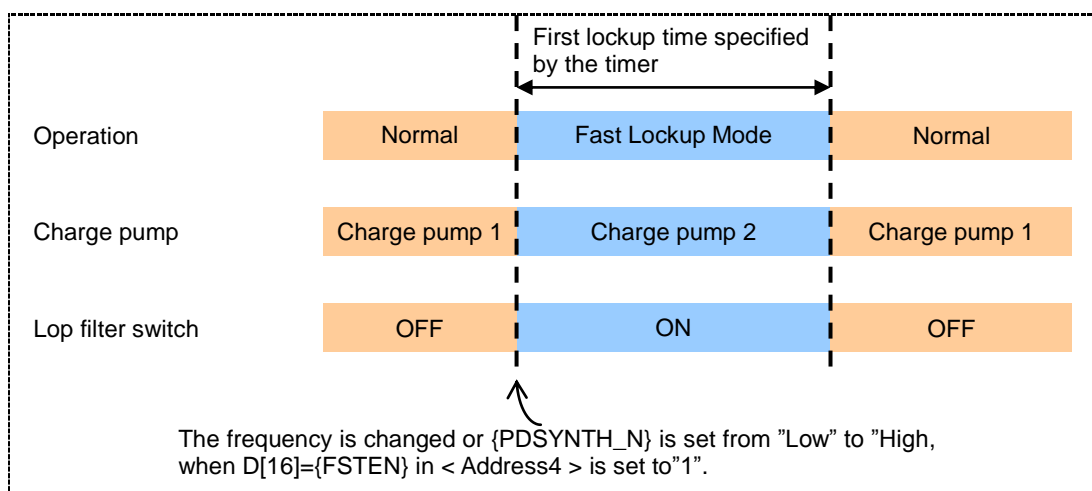


Figure 15 Timing Chart for Fast Lockup Mode

Calibration Procedure (Discriminator)

AK2400 employs a function to calibrate free-running frequency of VCO in Discriminator and demodulated signal level. Before starting RX Operation, calibration is required in order to acquire proper VCO operation range and demodulated signal level.

Following procedure is required before calibration.

- <1> Start up the external TCXO and continuously supply LO signal to AK2400.
- <2> Set "110" to 0x0A {BS[2:0]} and start up all circuits. After this operation, the circuits necessary for calibration (LOBUF, VIREF, Discriminator) will be powered on and calibration can be possible in 500us.
- <3> Calibration is begun by setting "1" to address 0x07 {CAL}. When the calibration is executed once, the calibration operation cannot be stopped excluding master reset. Even if "0" is written in {CAL}, the calibration is completely executed.
- <4> Calibration data is maintained excluding the time when the master reset is executed or DVDD power supply is down.
- <5> It takes 1.5ms for Discriminator to become steady after the calibration is completed.

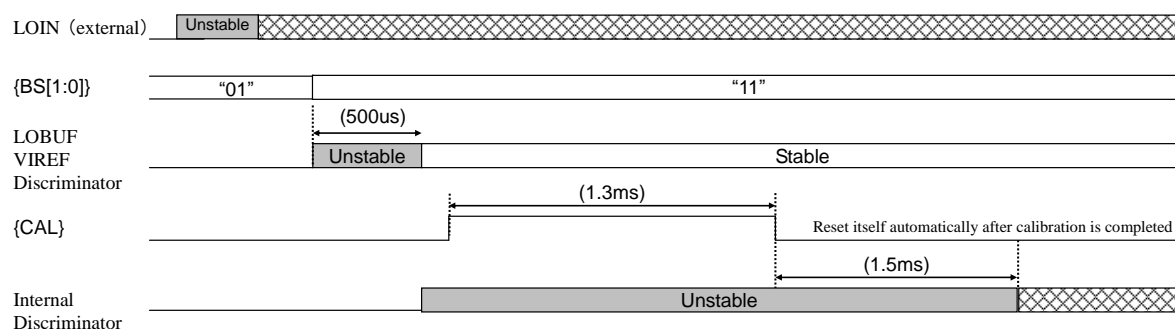


Figure 16 Power-up sequence recommendation

Typical Evaluation Board Schematic (PLL SYNTH)

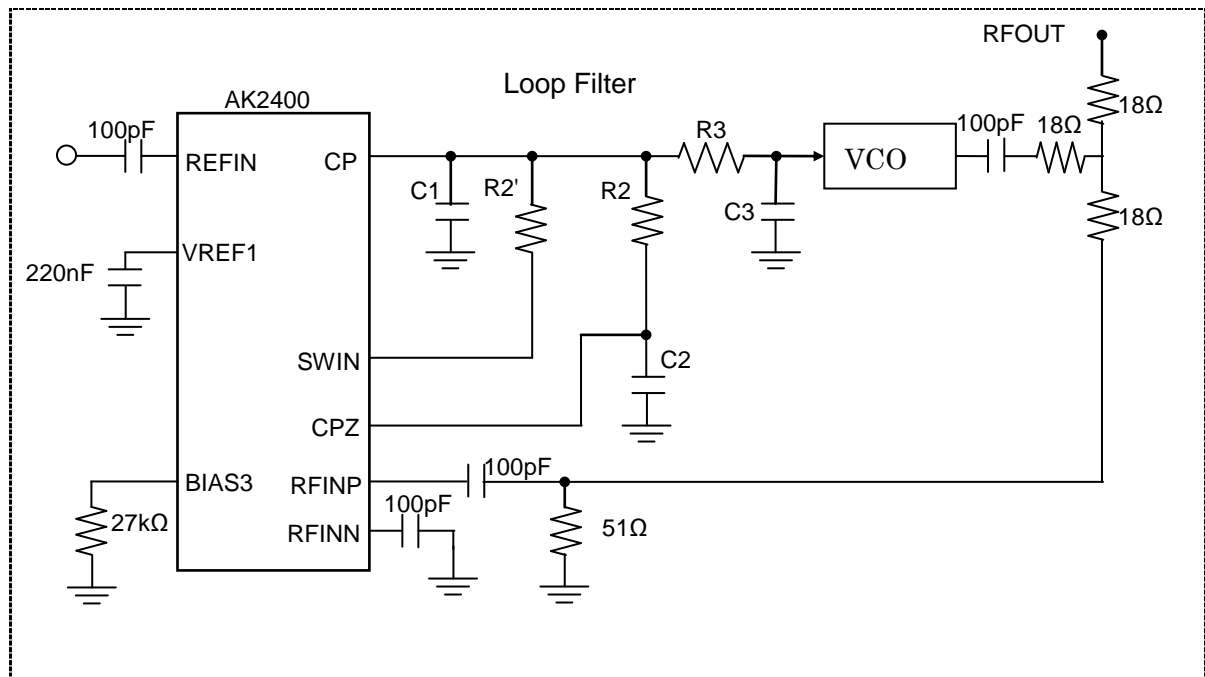


Figure 17 Typical Evaluation Board Schematic (PLL SYNTH)

[CPZ] pin should be connected to R2 and C2, which are intermediate nodes, even if the Fast Lockup feature is not used. For the output destination from [CPZ] pin, see “Charge Pump and Loop Filter” on page 36.

R2 and R2' are connected in parallel with internal switch in Fast Lockup. These R2 and R2' parallel resistance value is required for calculating loop bandwidth and phase margin in Fast Lockup. The on-resistance value of the internal switch is 150Ω for reference.

1. PVDD, CPVDD

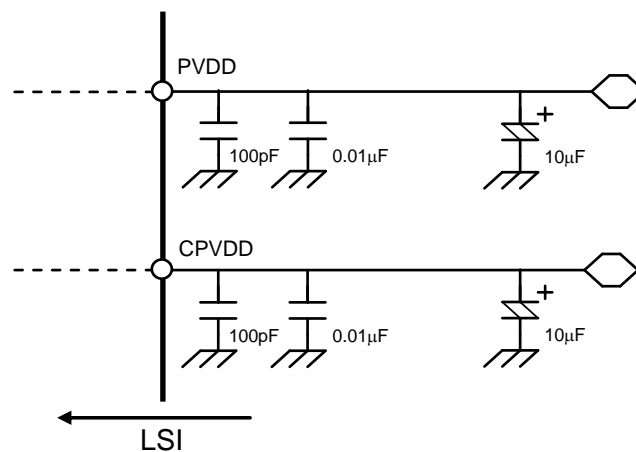


Figure 18 PVDD, CPVDD

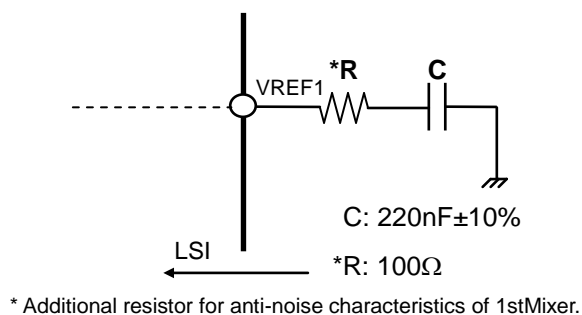
2. VREF1

Figure 19 PVDD, CPVDD

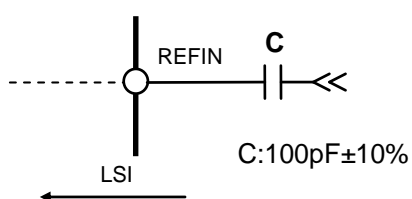
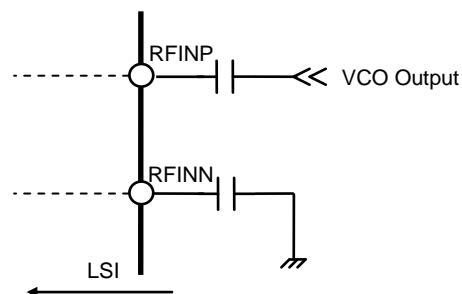
3. REFIN

Figure 20 REFIN

4. RFINP, RFINN

Refer to typical Evaluation Board Schematic.

Figure 21 RFINP, RFINN

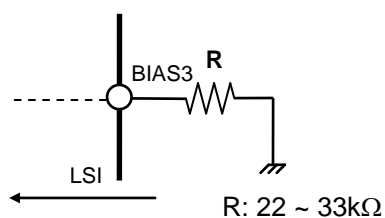
5. BIAS3

Figure 22 BIAS3

Typical Evaluation Board Schematic (1st MIXER)

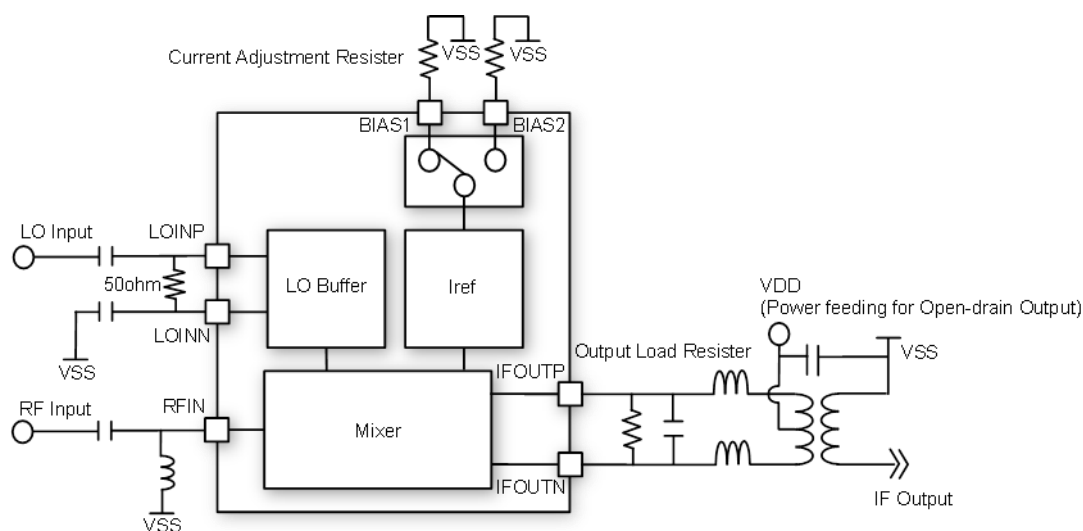


Figure 23 Typical Evaluation Board Schematic (1st MIXER)

- Note 1) The exposed pad at the center of the backside should be connected to ground.
 Note 2) The open drain output needs power feeding via an inductor. (IFOUTP pin and IFOUTN pin)
 Note 3) It is necessary to adjust impedance matching as to its setting frequency. (RF input and IF output)
 Note 4) If 1st Mixer is not used, each pin are terminated as below.
 Register {BSSEL_FMIX}, {PDFSTIX_N}, {FMIX_HV} and {FMIX_IP3} on Address 0x0A must be set to 0

No.	Name	Terminating condition
1	RFIN	OPEN
2	AVSS1	VSS
3	IFOUTP	OPEN
4	IFOUTN	OPEN
5	MIXVDD	VSS
53	BIAS2	VSS
54	BIAS1	VSS
55	LOINP	OPEN
56	LOINN	OPEN

·Impedance matching network for RF Input pin

RF Input port with impedance matching network (highpass filter) is shown as below. Typical evaluation board component values in 50Ω interface are shown as below.

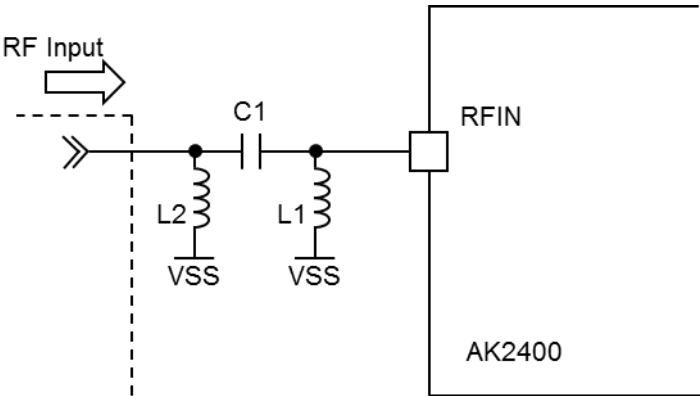


Figure 24 RF Input port with impedance matching network

RF Input Frequency [MHz]	C1 [pF]	L1 [nH]	L2 [nH]
70	82	200	-
160	39	100	-
300	18	33	-
600	18	33	-
900	18	33	-

·Impedance matching network for LO Input pin

LOIN port can be matched with resistive impedance matching network in 10MHz < LO Input < 2000MHz. Typical evaluation board component values in 50Ω interface is shown as below.

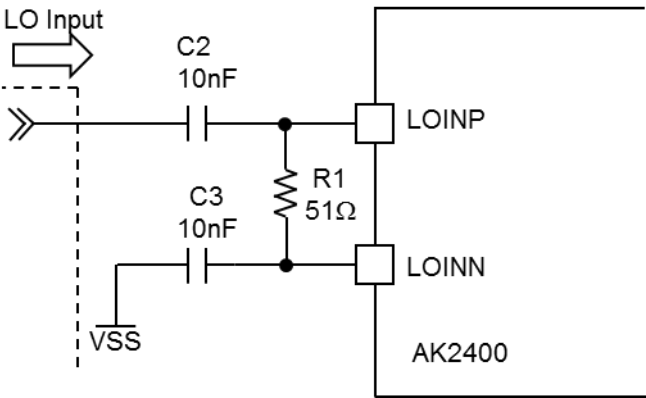


Figure 25 LO Input port with impedance matching network

·Impedance matching network for IF Output pin

IF output port with impedance matching network (lowpass filter and balun) is shown as below. IFOUTP and IFOUTN pins need power feeding via center tap of balun. Typical evaluation board component values in 50Ω interface are shown as below.

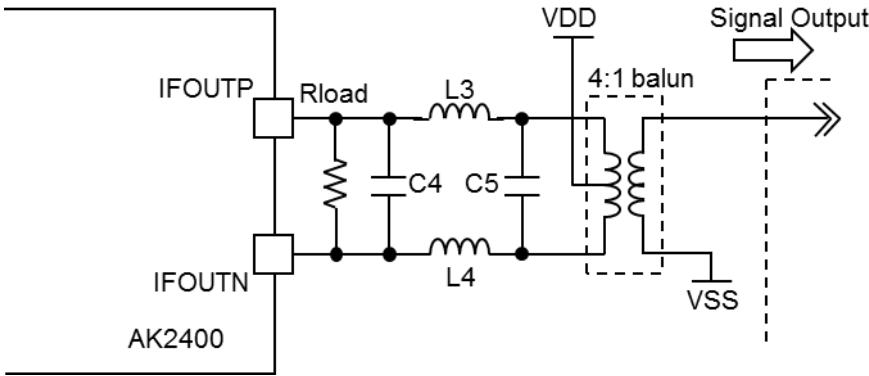


Figure 26 IF output port with impedance matching network

IF Output Frequency [MHz]	Rload [kΩ]	L3/L4 [nH]	C4 [pF]	C5 [pF]
29.25	2.2	1800	6	-
46.35	2.2	1000	3.3	-
50.85	2.2	1000	2.4	-
58.05	2.2	1000	1.6	-

·Impedance matching network with LC

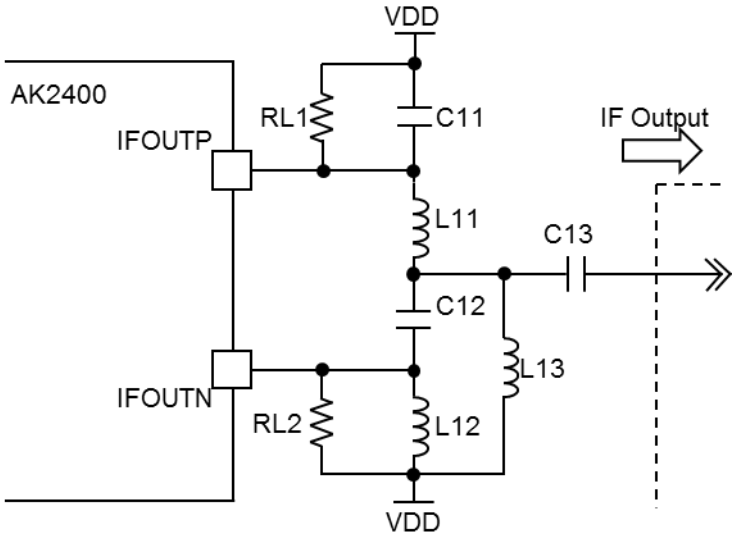


Figure 27 Impedance matching network with LC

Impedance matching network with LC is shown. AK2400 1st Mixer has open drain outputs, so RL1 + RL2 is output load resistance. C11 and L11 compose lowpass filter. C12 and L12 are for highpass filter. C13 is DC blocking capacitor and L13 is RF choke. OUTP and OUTN pins need power feeding via L11, L12 and L13.

The differential voltage from IFOUTP/N can be converted to a single-ended by L11, L12, C11 and C12 properly. The differential impedance (RL1 + RL2) is converted to single-ended output terminating impedance Ro.

L11, C11, L12 and C12 are calculated as below. f_{out} is IF output frequency.

$$C_{11} = C_{12} = \frac{1}{2\pi * f_{IF} * \sqrt{(R_{L1} + R_{L2}) * R_O}}$$

$$L_{11} = L_{12} = \frac{\sqrt{(R_{L1} + R_{L2}) * R_O}}{2\pi * f_{IF}}$$

For example, in the case of IF Output = 50MHz, Output Load Resistor (Rload) = 2.2k Ω in 50 Ω interface, L11, C11, L12 and C12 are calculated as below.

$$C_{11} = C_{12} = \frac{1}{2\pi * (50 * 10^6) * \sqrt{(2.2 * 10^3) * 50}} = 9.6\text{pF}$$

$$L_{11} = L_{12} = \frac{\sqrt{(2.2 * 10^3) * 50}}{2\pi * (50 * 10^6)} = 1056\text{nH}$$

L13 and C13 should be large enough not to affect the impedance at IF output frequency. In some cases the impedance matching can be optimized by L13 and C13.

For example, in the case of IF Output = 50MHz, Output Load Resistor (Rload) = 2.2k Ω in 50 Ω interface, it is recommended to choose 2200nH and 1000pF as L13 and C13. If any correction is needed, it can be adjusted by reducing the value of L13 and C13.

These calculated values are approximation. In some cases, some correction is needed due to the effect of parasitic capacitance of external parts or/and PCBs. The impedance matching network components should be decided through enough evaluation on AK2400.

Typical evaluation board component values in 50 Ω interface are shown as below.

IF Output Frequency [MHz]	RL1/RL2 [k Ω]	L11/L12 [nH]	C11/C12 [pF]	L13 [nH]	C13 [pF]
29.25	1.1	1800	15	2200	270
46.35	1.1	1000	10	2200	220
50.85	1.1	1000	9.1	2200	82
58.05	1.1	1000	8.2	2200	39

The phase and amplitude balance is achieved at IF Output frequency by using impedance matching network with LC. The port-to-port leakage is improved with the phase and amplitude balance is achieved at RF, LO, and IF frequency with wide band balun.

Typical Evaluation Board Schematic (2nd IF)

1) Power supply stabilizing capacitors

Connect capacitors between VDD and VSS pins to eliminate ripple and noise included in power supply. For maximum effect, the capacitors should be placed at a shortest distance between the pins.

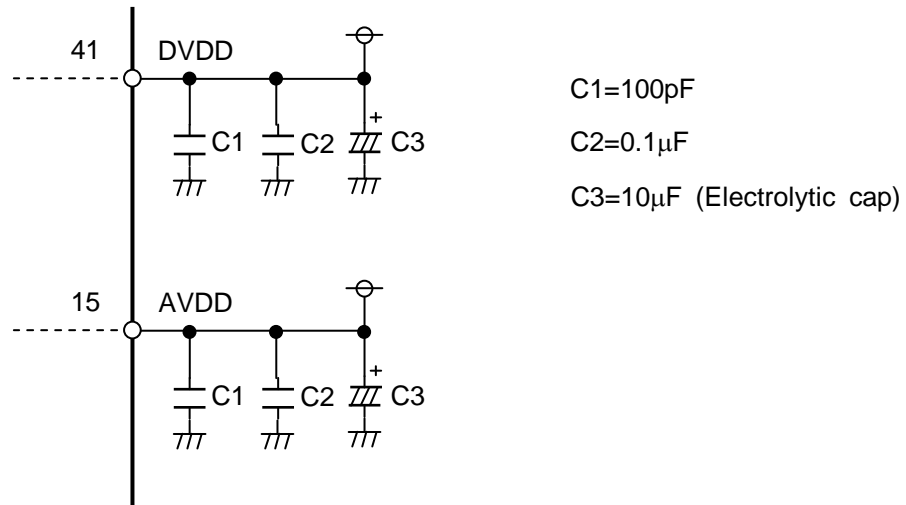


Figure 28 DVDD, AVDD

2) AGND stabilizing capacitors

It is recommended that capacitors with 1μF or larger be connected between VSS and the AGND and AGNDIN pins to stabilize the AGND signal. The capacitors must be placed as close to the pins as possible.

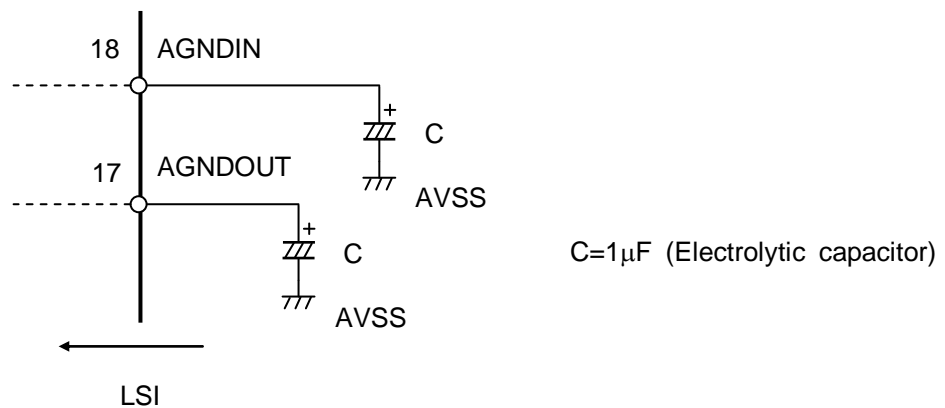


Figure 29 AGNDIN, AGNDOUT

3) BIAS4 pin

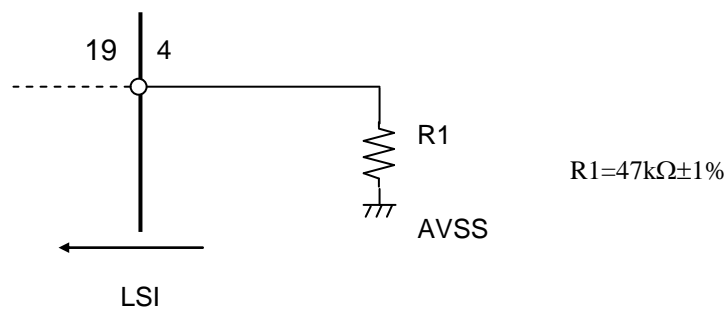


Figure 30 BIAS4

4) Noise Amp

The following gives a sample configuration of a BPF when input frequency is 31kHz.
Some parameters can be calculated using following (1) to (3) equations.

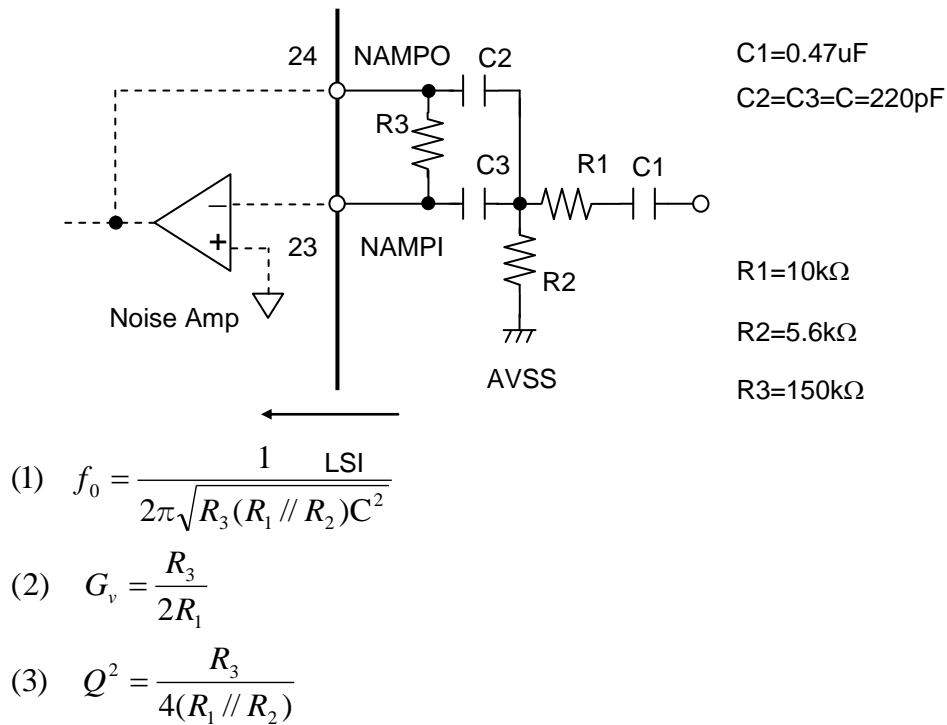


Figure 31 NAMPO, NAMPI

5) NRECTO pin

Rise time of noise detection is proportionate to $C1=0.1\mu F$ and internal resistance $75k\Omega$

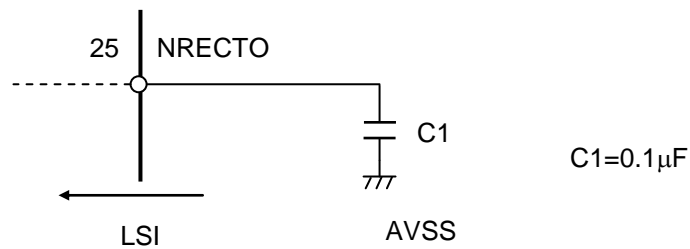


Figure 32 NRECTO

6) RSSIOUT pin

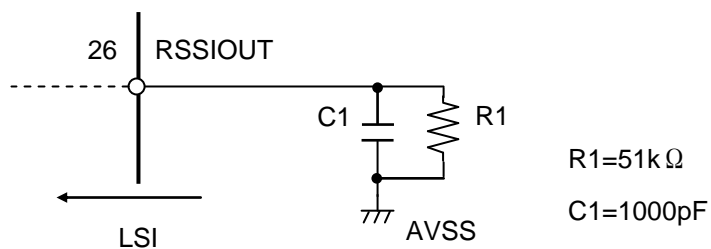


Figure 33 RSSIOUT

7) Discriminator

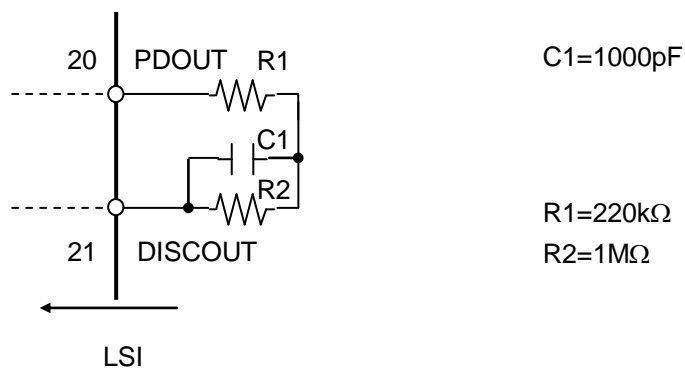


Figure 34 Discriminator

8) Tripler circuit

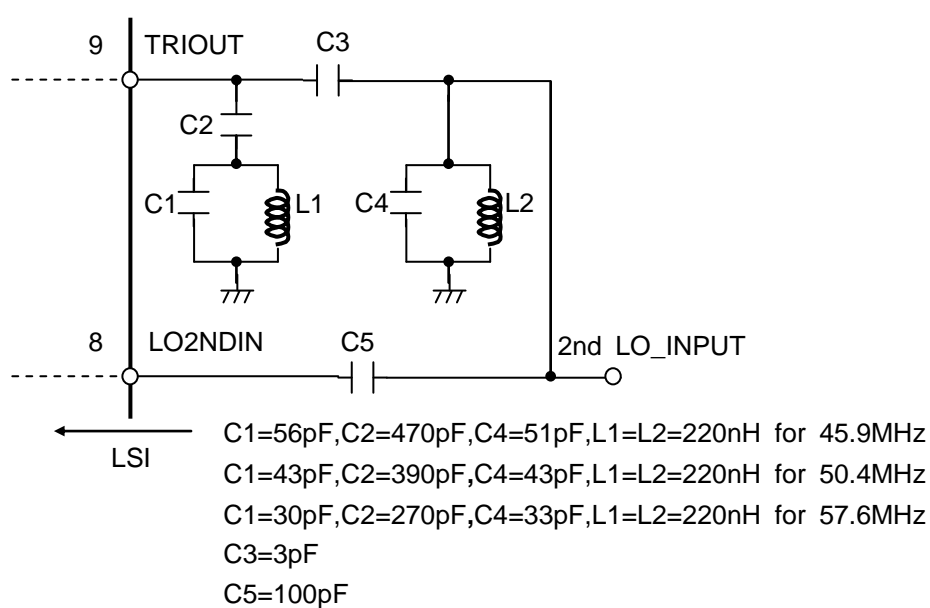


Figure 35 Tripler circuit

9) VREFA output

It is recommended that capacitors with 220nF or larger be connected between AVSS and VREFA pin to stabilize the VREFA signal. The capacitors must be placed as close to the pins as possible.

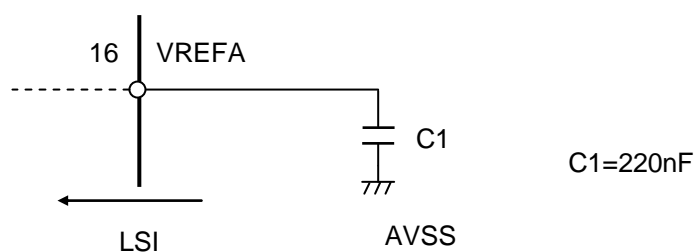


Figure 36 VREFA

10) DETO/SDATAOUT output

When {SDATAOUT_OE} is set "0", DETO signal is output. DETO is open-drain output.

When {SDATAOUT_OE} is set "1", SDATAOUT signal is output. SDATAOUT is CMOS output and output level is DVDD voltage.

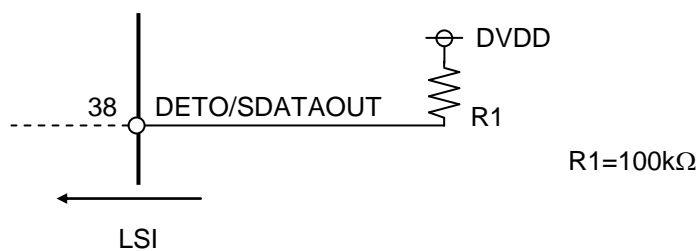
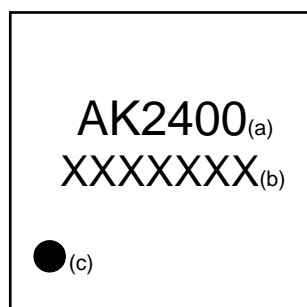


Figure 37 DETO/SDATAOUT

Package

Marking



- a: Product number : AK2400
 b: Date code : XXXXXXX
 c: 1 pin marking : ●
 d: Style : QFN
 e: Number of pins : 56

Figure 38 Marking

Mechanical Outline

Package: 56pin-QFN (8 x 8 mm, 0.5 mm pitch)

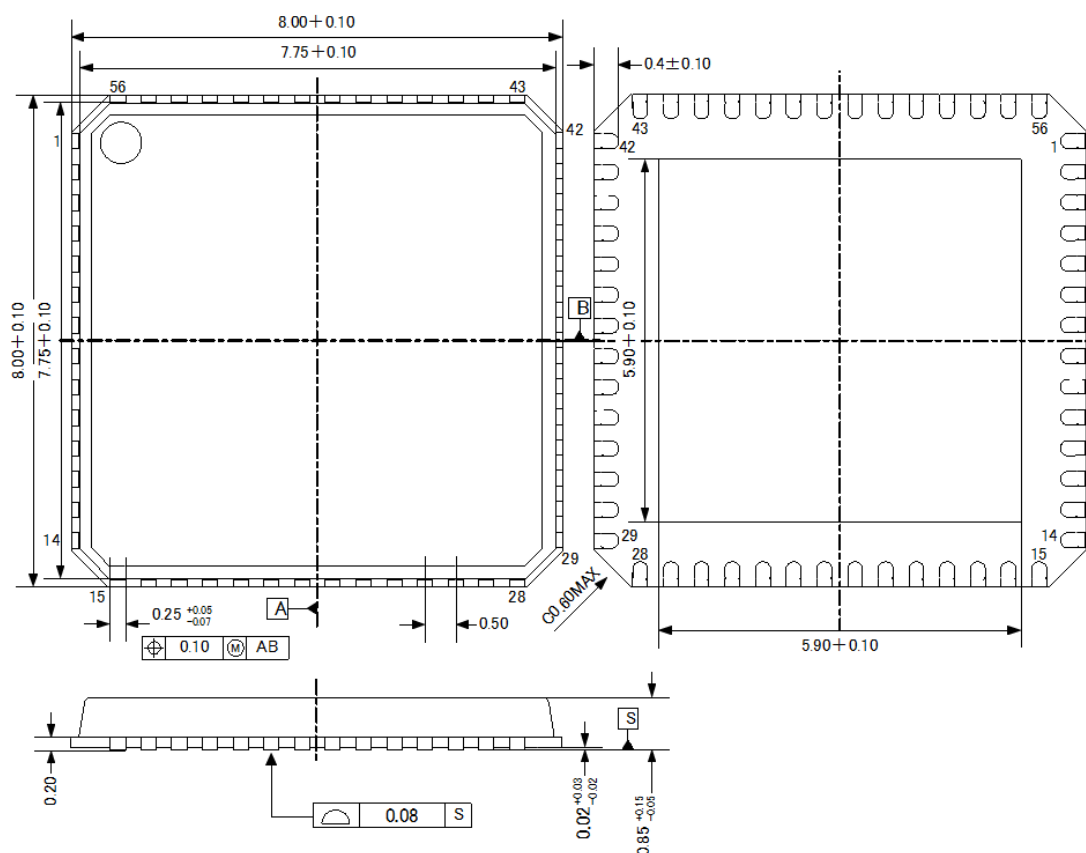


Figure 39 Mechanical Outline

Revision History

Date (Y/M/D)	Revision	Reason	Page	Contents
14/10/23	00	Initial Version		
15/04/23	01	Spec change	20, 28	Prohibit Mode1
		Spec addition	15	Expand input frequency range of 2ndMixer to FLO \pm 0.45MHz
		Annotation addition	22, 24, 35	When OFFSET register is used, set DITH=0(OFF).

IMPORTANT NOTICE

0. Asahi Kasei Microdevices Corporation ("AKM") reserves the right to make changes to the information contained in this document without notice. When you consider any use or application of AKM product stipulated in this document ("Product"), please make inquiries the sales office of AKM or authorized distributors as to current status of the Products.
1. All information included in this document are provided only to illustrate the operation and application examples of AKM Products. AKM neither makes warranties or representations with respect to the accuracy or completeness of the information contained in this document nor grants any license to any intellectual property rights or any other rights of AKM or any third party with respect to the information in this document. You are fully responsible for use of such information contained in this document in your product design or applications. AKM ASSUMES NO LIABILITY FOR ANY LOSSES INCURRED BY YOU OR THIRD PARTIES ARISING FROM THE USE OF SUCH INFORMATION IN YOUR PRODUCT DESIGN OR APPLICATIONS.
2. The Product is neither intended nor warranted for use in equipment or systems that require extraordinarily high levels of quality and/or reliability and/or a malfunction or failure of which may cause loss of human life, bodily injury, serious property damage or serious public impact, including but not limited to, equipment used in nuclear facilities, equipment used in the aerospace industry, medical equipment, equipment used for automobiles, trains, ships and other transportation, traffic signaling equipment, equipment used to control combustions or explosions, safety devices, elevators and escalators, devices related to electric power, and equipment used in finance-related fields. Do not use Product for the above use unless specifically agreed by AKM in writing.
3. Though AKM works continually to improve the Product's quality and reliability, you are responsible for complying with safety standards and for providing adequate designs and safeguards for your hardware, software and systems which minimize risk and avoid situations in which a malfunction or failure of the Product could cause loss of human life, bodily injury or damage to property, including data loss or corruption.
4. Do not use or otherwise make available the Product or related technology or any information contained in this document for any military purposes, including without limitation, for the design, development, use, stockpiling or manufacturing of nuclear, chemical, or biological weapons or missile technology products (mass destruction weapons). When exporting the Products or related technology or any information contained in this document, you should comply with the applicable export control laws and regulations and follow the procedures required by such laws and regulations. The Products and related technology may not be used for or incorporated into any products or systems whose manufacture, use, or sale is prohibited under any applicable domestic or foreign laws or regulations.
5. Please contact AKM sales representative for details as to environmental matters such as the RoHS compatibility of the Product. Please use the Product in compliance with all applicable laws and regulations that regulate the inclusion or use of controlled substances, including without limitation, the EU RoHS Directive. AKM assumes no liability for damages or losses occurring as a result of noncompliance with applicable laws and regulations.
6. Resale of the Product with provisions different from the statement and/or technical features set forth in this document shall immediately void any warranty granted by AKM for the Product and shall not create or extend in any manner whatsoever, any liability of AKM.
7. This document may not be reproduced or duplicated, in any form, in whole or in part, without prior written consent of AKM.

•Related Parts

Part#	Discription	Comments
Mixer		
AK1220	100MHz~900MHz High Linearity Down Conversion Mixer	IIP3:+22dBm
AK1222	100MHz~900MHz Low Power Down Conversion Mixer	IDD:2.9mA
AK1224	100MHz~900MHz Low Noise, High Liniarity Down Conversion Mixer	NF:8.5dB, IIP3:+18dBm
AK1228	10MHz~2GHz Up/Down Conversion Mixer	3V Supply, NF:8.5dB
AK1221	0.7GHz~3.5GHz High Linearity Down Conversion Mixer	IIP3:+25dBm
AK1223	3GHz~8.5GHz High Linearity Down Conversion Mixer	IIP3:+13dB, NF:15dB
PLL Synthesizer		
AK1541	20MHz~600MHz Low Power Fractional-N Synthesizer	IDD:4.6mA
AK1542A	20MHz~600MHz Low Power Integer-N Synthesizer	IDD:2.2mA
AK1543	400MHz~1.3GHz Low Power Fractional-N Synthesizer	IDD:5.1mA
AK1544	400MHz~1.3GHz Low Power Integer-N Synthesizer	IDD:2.8mA
AK1590	60MHz~1GHz Fractional-N Synthesizer	IDD:2.5mA
AK1545	0.5GHz~3.5GHz Integer-N Synthesizer	16-TSSOP
AK1546	0.5GHz~3GHz Low Phase Noise Integer-N Synthesizer	Normalized C/N:-226dBc/Hz
AK1547	0.5GHz~4GHz Integer-N Synthesizer	5V Supply
AK1548	1GHz~8GHz Low Phase Noise Integer-N Synthesizer	Normalized C/N:-226dBc/Hz
IFVGA		
AK1291	100~300MHz Analog Signal Control IF VGA w/ RSSI	Dynamic Range:30dB
integrated VCO		
AK1572	690MHz~4GHz Down Conversion Mixer with Frac.-N PLL and VCO	IIP3:24dBm, -111dBc/Hz@100kHz
AK1575	690MHz~4GHz Up Conversion Mixer with Frac.-N PLL and VCO	IIP3:24dBm, -111dBc/Hz@100kHz
IF Reciever (2nd Mixer + IF BPF + FM Detector)		
AK2364	Built-in programmable AGC+BPF, FM detector IC	IFBPF:±10kHz ~ ±4.5kHz
AK2365A	Built-in programmable AGC+BPF, IFIC	IFBPF:±7.5kHz ~ ±2kHz
Analog BB for PMR/LMR		
AK2345C	CTCSS Filter, Encoder, Decoder	24-VSOP
AK2360/ AK2360A	Inverted frequency(3.376kHz/3.020kHz) scrambler	8-SON
AK2363	MSK Modem/DTMF Receiver	24-QFN
AK2346B	0.3-2.55/3.0kHz Analog audio filter,	24-VSOP
AK2346A	Emphasis, Compandor, scrambler, MSK Modem	24-QFN
AK2347B	0.3-2.55/3.0kHz Analog audio filter Emphasis, Compandor, scrambler, CTCSS filter	24-VSOP
Function IC		
AK2330	8-bit 8ch Electronic Volume	VREF can be selected for each channel
AK2331	8-bit 4ch Electronic Volume	VREF can be selected for each channel

Asahi Kasei Microdevices Corporation ("AKM") reserves the right to make changes to the information contained in this document without notice. When you consider any use or application of AKM product stipulated in this document, please make inquiries the sales office of AKM or authorized distributors as to current status of the Products.



AK2400

High integrated receiver for PMR/LMR

特 長

- ☐ 動作電圧 : 2.7~5.5V
- ☐ 温度範囲 : -40~+85°C
- ☐ $\Delta\Sigma$ 型 Fractional-N PLLによる周波数切替機能
- ☐ 高線形性アクティブRF(1st)ミキサ、及びIF(2nd)ミキサ内蔵
- ☐ IFローカル周波数 : 28.8MHz, 45.9MHz, 50.4MHz, 57.6MHz
- ☐ IFローカル周波数用3逓倍回路
- ☐ 帯域可変型IFフィルタ(450kHz)
- ☐ FM復調回路内蔵 (PLL検波方式)
- ☐ RSSI回路内蔵
- ☐ ノイズスケルチ回路内蔵
- ☐ 12bits 1Msps SAR A/Dコンバータ内蔵
- ☐ 音声出力S/N(Wide/Narrow) : 50dB / 46dB (Typ.) *De-emphasis + BPF
- ☐ パッケージ : 56pin-QFN (8mm \square , 0.5mm pitch)

アプリケーション

- ☐ 業務用デジタル無線システム (Channel spacing for 6.25kHz, 12.5kHz)
- ☐ 公共/防災無線システム
- ☐ 簡易無線機
- ☐ 船舶/移動体通信システム
- ☐ 特定小電力/テレメータ通信機
- ☐ アマチュア無線システム

目 次

特 長	1
アプリケーション	1
目 次	2
ブロック図	3
機能説明	4
ピン配置	4
ピン／機能説明	5
絶対最大定格	7
推奨動作条件	7
デジタルDC特性	8
デジタルACタイミング	9
ADC ACタイミング	11
パワーアップシーケンス	12
システムリセット	12
アナログ特性 (PLL SYNTH部)	13
アナログ特性 (1st MIXER部)	14
アナログ特性 (2nd IF部)	15
レジスタマップ	21
PLL SYNTH部 ブロック図	30
PLL SYNTH部 ロック検出動作説明	31
PLL SYNTH部 周波数設定	34
PLL SYNTH部 周波数オフセット調整	35
PLL SYNTH部 チャージポンプ及びループフィルタ	36
PLL SYNTH部 ファーストロックアップモード	37
Discriminator キャリブレーション動作説明	38
PLL SYNTH部 外部接続回路推奨例	39
1st MIXER部 外部接続回路推奨例	41
2nd IF部 外部接続回路推奨例	45
パッケージ	49
改訂履歴	50

ブロック図

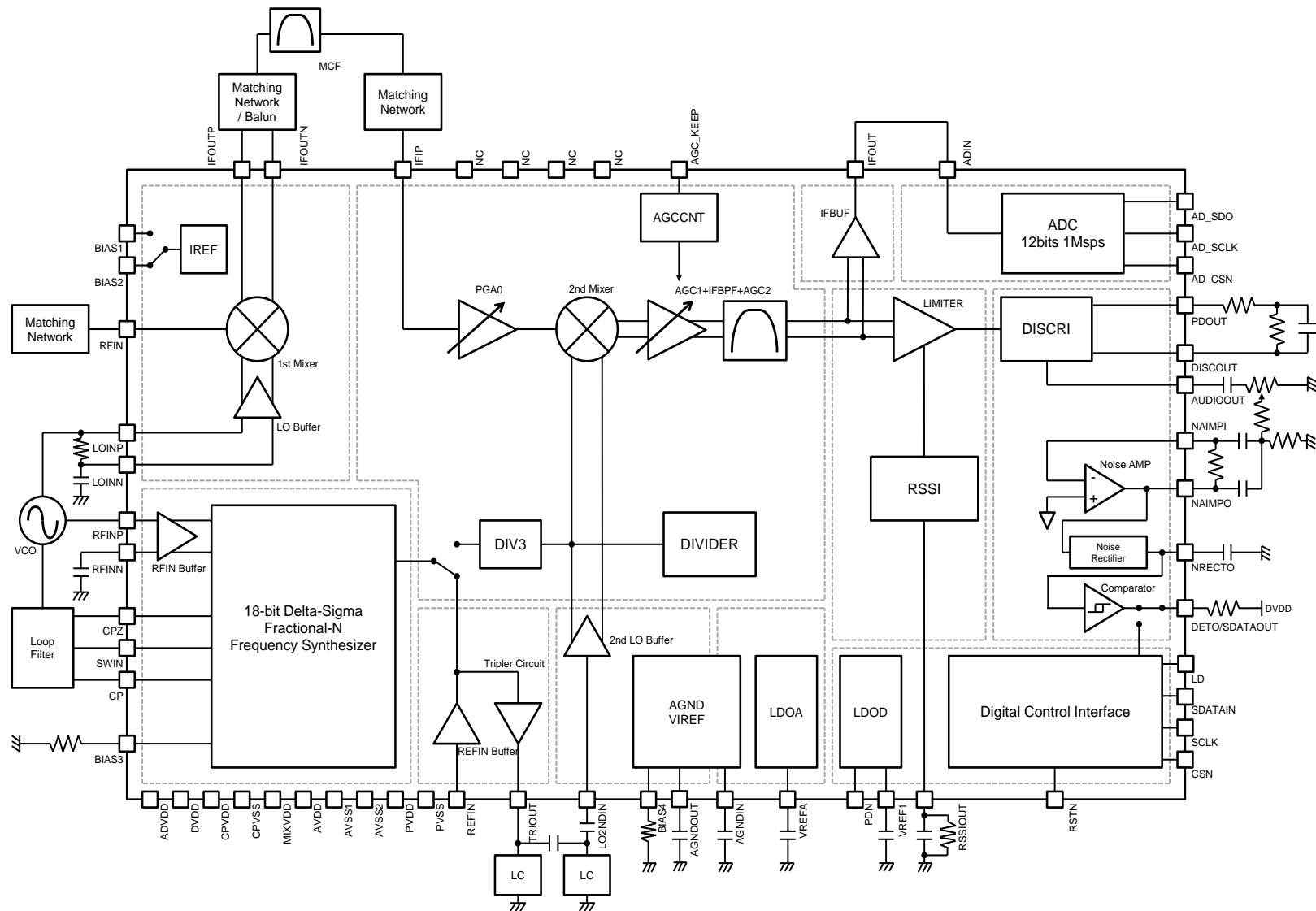


Figure 1 ブロック図

ピン／機能説明

ピン 番号	ピン 名称	ピン タイプ	パワ ー ダ ウ ン 時 ピン 状態	機 能
1	RFIN	AI	-	RF入力。インダクタを介してグラウンドに接続して下さい。
2	AVSS1	PWR	-	グラウンドに接続して下さい。
3	IFOUTP	AO	-	IF出力Positive。オープンドレイン端子。 (インダクタンスを介して電源電圧供給が必要です。)
4	IFOUTN	AO	-	IF出力Negative。オープンドレイン端子。 (インダクタンスを介して電源電圧供給が必要です。)
5	MIXVDD	PWR	-	アナログ電源端子
6	IFIP	AI	-	IF信号入力端子
7	AVSS2	PWR	-	グラウンドに接続して下さい。
8	LO2NDIN	AI	-	2ndローカル信号入力端子
9	TRIOUT	AO	-	3通倍回路出力端子
10	REFIN	AI	-	リファレンス信号入力端子
11	NC	-	Hi-Z	終端条件はOPENとして下さい。
12	NC	-	Hi-Z	終端条件はOPENとして下さい。
13	NC	-	Hi-Z	終端条件はOPENとして下さい。
14	NC	-	Hi-Z	終端条件はOPENとして下さい。
15	AVDD	PWR	-	アナログ電源端子
16	VREFA	AO	-	LDO基準電圧用コンデンサ接続端子
17	AGNDOUT	AO	-	アナログ基準グラウンド安定化コンデンサ接続端子
18	AGNDIN	AI	-	アナログ基準グラウンド安定化コンデンサ接続端子
19	BIAS4	AO	-	基準電圧源用バイアス抵抗接続端子
20	PDOUT	AO	-	DISCRIMINATOR LPF用端子 1
21	DISCOUT	AO	-	DISCRIMINATOR LPF用端子 2
22	AUDIOOUT	AO	-	復調信号出力
23	NAMPI	AI	-	ノイズスケルチ用アンプ入力端子
24	NAMPO	AO	-	ノイズスケルチ用アンプ出力端子
25	NRECTO	AO	-	全波整流回路出力端子
26	RSSIOUT	AO	-	受信信号レベル判定用キャパシタ接続端子
27	IFOUT	AO	-	IFBUF出力端子
28	ADIN	AI	-	ADコンバータ入力端子
29	PDN	DI	Hi-Z	LDO用パワーダウン端子
30	RSTN	DI	Hi-Z	ハードウェアリセット端子
31	AD_SDO	DO	-	ADCシリアルデータ出力端子
32	AD_SCLK	DI	Hi-Z	ADCシリアルデータ用クロック入力端子
33	AD_CSN	DI	Hi-Z	ADCシリアルデータ用チップセレクト入力端子
34	CSN	DI	Hi-Z	シリアルデータ用チップセレクト入力端子
35	SCLK	DI	Hi-Z	シリアルデータ用クロック入力端子
36	SDATAIN	DI	Hi-Z	シリアルデータ用入力端子
37	AGC_KEEP	DI	Hi-Z	AGC_KEEP信号入力端子
38	DETO / SDATAOUT	DO	Hi-Z	信号検出出力端子 / シリアルデータ用出力端子
39	LD	DO	Low	ロック検出
40	ADVDD	PWR	-	アナログ電源端子
41	DVDD	PWR	-	デジタル電源端子
42	CPVDD	PWR	-	デジタル電源端子

43	CPVSS	PWR	-	グランド端子
44	SWIN	AI	注1.2	FAST用抵抗端子へ接続
45	CPZ	AI	注1.2	ループフィルタ用コンデンサへ接続
46	CP	AO	Hi-Z	チャージポンプ出力
47	PVDD	PWR	-	アナログ電源端子
48	RFINP	AI	-	プリスケアラ入力
49	RFINN	AI	-	プリスケアラ入力
50	PVSS	PWR	-	グランド端子
51	VREF1	AO	-	LDO基準電圧用コンデンサ接続端子
52	BIAS3	AO	-	チャージポンプ出力電流設定用バイアス抵抗端子
53	BIAS2	AIO	-	電流調整抵抗接続端子
54	BIAS1	AIO	-	電流調整抵抗接続端子
55	LOINP	AI	-	Lo入力Positive
56	LOINN	AI	-	Lo入力Negative

AI: Analog input pin

AO: Analog output pin

AIO: Analog I/O pin

PWR: Power supply pin

DI: Digital input pin

DO: Digital output pin

注1) [PDN]=0,{PDSYNTH_N}=0、及び、[PDN]=1,{PDSYNTH_N}=0の時のループフィルタ切り替え用スイッチの状態はONです。

注2) パワーダウン時とは電源投入後、[PDN]=0、{PDSYNTH_N}=0の状態です。

CPZ端子はファーストロックアップ機能を使用しない場合も、必ずR2, C2中間ノードに接続する必要があります。詳細は、P39のチャージポンプ、及びループフィルタを参照してください。

絶対最大定格

項 目	記号	Min.	Max.	単位	備考
電源電圧	VDD1	-0.3	6.5	V	注1
	CPVDD	-0.3	6.5	V	
	MIXVDD	-0.3	5.5	V	
	DVDD	-0.3	6.5	V	
グラントレベル	VSS	0	0	V	
アナログ入力印可電圧	V _{AIN}	-0.3	VDD1+0.3 CPVDD+0.3 MIXVDD+0.3	V	注1
デジタル入力印可電圧	V _{DIN}	-0.3	DVDD+0.3	V	
入力印可電流（電源ピンを除く）	I _{IN}	-10	+10	mA	
最大RFIN入力レベル	RFPOW		12	dBm	
最大LOIN入力レベル	LOPOW		12	dBm	
保存温度	T _{stg}	-55	125	°C	

注1) VDD1は、PVDD, AVDD, ADVDDピンが対象です。

注2) 電圧は全てVSSピンに対する値です。

注3) この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は、保証されません。

推奨動作条件

項 目	記号	条 件	Min.	Typ.	Max.	単位
動作温度	Ta		-40		85	°C
動作電源電圧	VDD1	PVDD, AVDD, ADVDD	DVDD	3.0	5.5	V
	CPVDD		VDD1	5.0	5.5	V
	MIXVDD		VDD1	5.0	5.5	V
	DVDD		2.7	3.0	5.5	V
アナログ基準電圧	AGND	AGNDOUT		1/2VREFA		V

注1) 電圧は全てVSSピンに対する値です。

デジタルDC特性

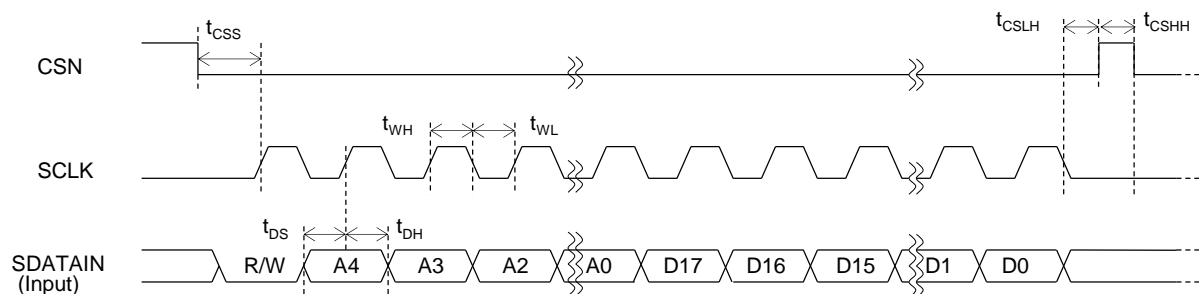
項 目	記号	条 件	Min.	Typ.	Max.	単位
高レベル入力電圧	V_{IH}	RSTN, SCLK, SDATAIN, CSN, PDN, AD_CSN, AD_SCLK, AGC_KEEP	0.8DVDD			V
低レベル入力電圧	V_{IL}	RSTN, SCLK, SDATAIN, CSN, PDN, AD_CSN, AD_SCLK, AGC_KEEP			0.2DVDD	V
高レベル入力電流	I_{IH}	$V_{IH}=DVDD$ RSTN, SCLK, SDATAIN, CSN, PDN, AD_CSN, AD_SCLK, AGC_KEEP			10	μA
低レベル入力電流	I_{IL}	$V_{IL}=0V$ RSTN, SCLK, SDATAIN, CSN, PDN, AD_CSN, AD_SCLK, AGC_KEEP	-10			μA
高レベル出力電圧	V_{OH}	$I_{OH}=+0.2mA$ LD, AD_SDO, DETO/SDATAOUT	DVDD-0.4		DVDD	V
低レベル出力電圧	V_{OL}	$I_{OL}=-0.4mA$ LD, AD_SDO, DETO/SDATAOUT	0.0		0.4	V

デジタルACタイミング

シリアルインターフェースタイミング

このLSIIは、CSN, SCLK, SDATAIN, SDATAOUTにより、データの書き込みと読み出しを行ないます。SDATAIN(シリアルデータ)は、書き込み／読み出しの識別ビット (R/W)、レジスタアドレス (MSBファースト, A4~A0) とコントロールデータ (MSBファースト, D17~D0) で構成されます。

書き込み (WRITE 命令)



読み出し (READ 命令)

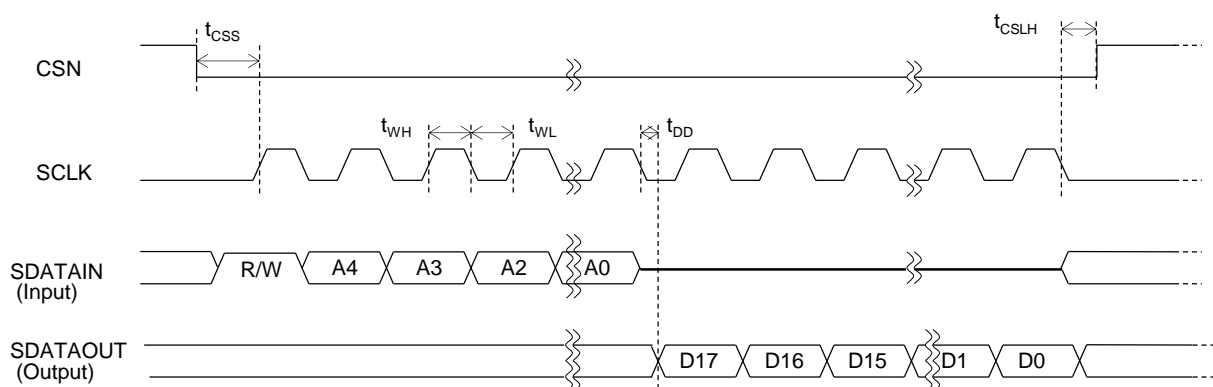


Figure 3 シリアルインターフェースタイミング

R/W : レジスタへのアクセスが書き込みか、読み出しかをこのビットで識別します。
 このビットが"Low"の場合には書き込み、"High"の場合には読み出しとなります。
 A4~A0 : アクセスしようとしているレジスタのアドレスを表します。
 D17~D0 : レジスタへの書き込みデータです。

- (1) CSN(チップセレクト)は、通常"High"に設定します。
 CSN を"Low"に設定すると、シリアルインターフェースがアクティブとなります。
- (2) 書き込み時は、CSN が"Low"区間で、SCLK の 24 クロックの立ち上がり同期して SDATA よりアドレス、データの順に取り込みます。入力データの確定は、24 個目のクロックの立ち上がりで行われます。(クロックのカウントが 24 より手前で CSN が"H"になった場合には、その入力データは無効になりますので、ご注意ください。)
- (3) 読み出しでは、CSN が"Low"区間で、SCLK の前半 6 クロックの立ち上がり同期して SDATAIN より識別ビット、アドレスを取り込み、後半の 18 クロックの立ち下がり同期して指定したアドレスのデータが、SDATAOUT より出力されます。連続での読み出しはデータが保証されませんので、データ読み出し毎に CSN を"H"に設定してください。また、読み出し時は、予め、レジスタ {SDATAOUT_OE}=1 に設定して DETO/SDATAOUT 端子に出力する信号を SDATAOUT に設定して下さい。

項目	記号	条件	Min.	Typ.	Max.	単位
CSN setup time	t_{CSS}		40			ns
SDATAIN setup time	t_{DS}		20			ns
SDATAIN hold time	t_{DH}		20			ns
SCLK high time	t_{WH}		40			ns
SCLK low time	t_{WL}		40			ns
CSN low hold time	t_{CSLH}		20			ns
CSN high hold time	t_{CSHH}		40			ns
SCLK to SDATA output delay time	t_{DD}	20pF load			40	ns

注) デジタル入力のタイミングは立ち上がり・立ち下がり信号の 0.5VDD の値を基準とします。また、デジタル出力のタイミングは立ち上がり・立ち下がり信号の 0.5VDD の値を基準に測定されます。

ADC ACタイミング

ADCを動作させる為に、まず、レジスタ{PDADC_N}を”1”に設定します。AD変換サイクルはAD_CSNの立下りエッジで始まります。AD_CSNが立ち下ると、AD_SDOは”0”を出力します。その後、3番目のAD_SCLKの立下りまで”0”を出力し、4番目の立下りエッジからMSBファーストで12bitのAD変換結果を出力します。16番目の立下りエッジでAD変換サイクルは終了し、AD_SDOはHigh-Zとなります。16番目の立下りエッジ後、AD_CSNを”1”に設定して下さい。AD_CSNを”1”に設定後、次のAD変換が始まらないようにAD_SDOがHigh-Zになってから静止時間”tq”の終わりまで、AD_CSNの”1”の状態を維持する必要があります。

ADCは、16番目の立下りエッジからアキュイジション・フェーズに入ります。その為、1回目のAD変換サイクルはダミーサイクルとして下さい。次のサイクルから有効なAD変換結果が得られます。

ADC タイミング

D11～D0 : AD変換データです。

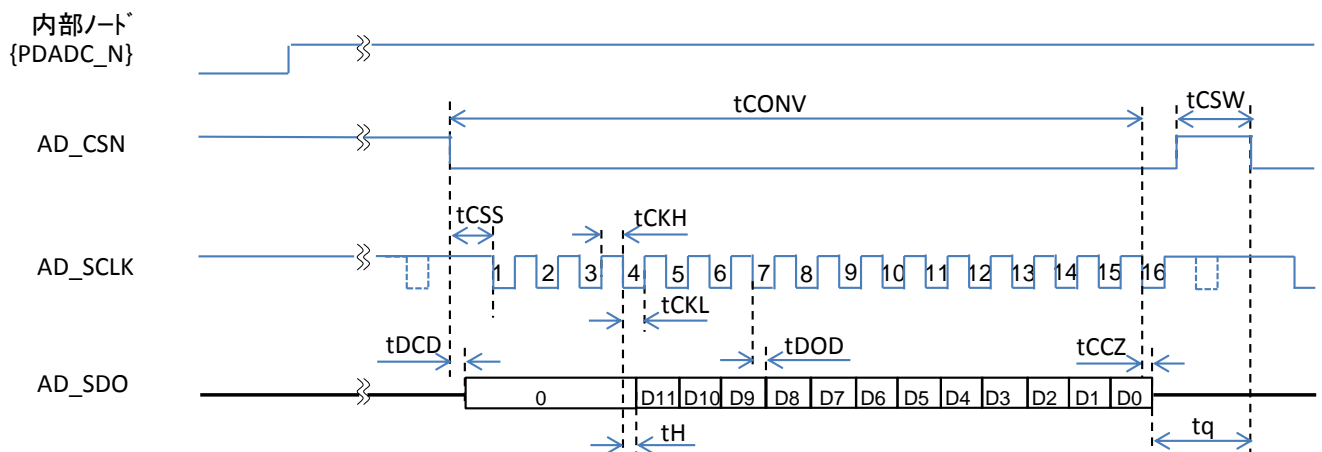
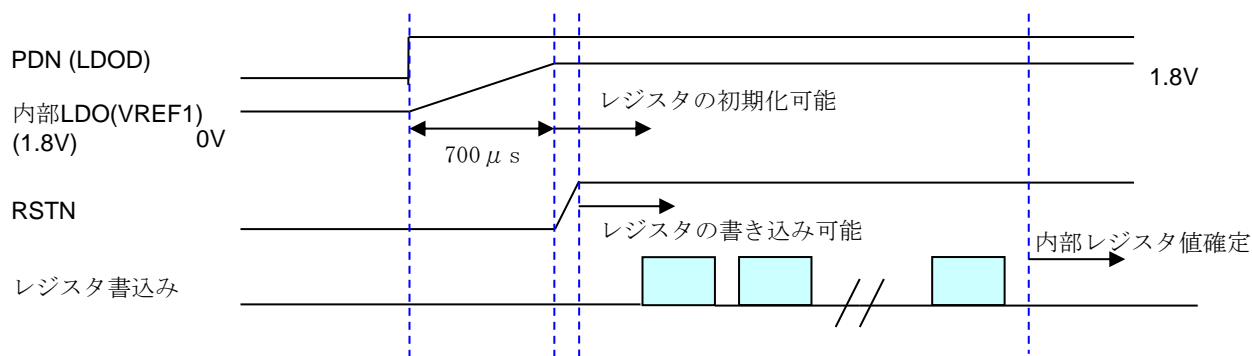


Figure 4 ADC タイミング

項目	記号	条件	Min.	Typ.	Max.	単位
AD_SCLK frequency	fADSC LK				20	MHz
Minimum quiet time required between bus relinquish and start of next conversion	Tq		40			ns
AD_CSN Falling to First SCLK Falling time	tCSS		10			ns
AD_CSN edge to AD_SDO Tri-State Disabled	tDCD				25	ns
AD_SCLK Falling to AD_SDO Output Delay time	tDOD	15pF load			25	ns
AD_SCLK High Pulse Width	tCKH		0.4×tA DSCLK			ns
AD_SCLK Low Pulse Width	tCKL		0.4×tA DSCLK			ns
16th AD_SCLK Falling to AD_SDO Hi-Z State Delay time	tCCZ				25	ns
Minimum AD_CSN Pulse Width	tCSW		25			ns

注) デジタル入力のタイミングは立ち上がり・立ち下がり信号の 0.5VDD の値を基準とします。また、デジタル出力のタイミングは立ち上がり・立ち下がり信号の 0.5VDD の値を基準に測定されます。

パワーアップシーケンス



注) PDN解除後のレジスタ値は初期値が不定です。確定させるためにはレジスタの初期化が必要です。

Figure 5 パワーアップシーケンス

システムリセット

項 目	記号	条 件	Min.	Typ.	Max.	単位	備考
ハードウェアリセット 信号入力幅	t_{RSTN}	RSTN端子	1			μs	注1)
ソフトウェアリセット		SRSTレジスタ					注2)

注1) PDN解除後、ハードウェアリセット動作(レジスタの初期化)を必ず行なって下さい。1 μs 以上の“Low”入力でリセットがかかり、動作モードMode2となります。

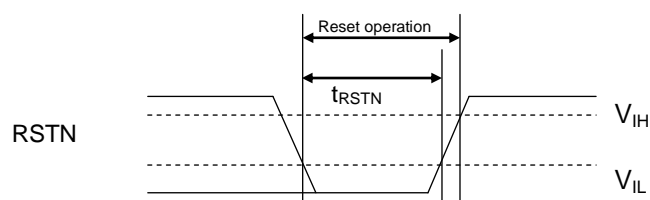


Figure 6 システムリセット

確実にリセット動作を行う為に、リセット区間中、及びリセット解除のタイミングではSCLK、SDATAIN、CSN端子入力をLowまたはHighに固定する事を推奨します。

例) SCLK:Low、SDATAIN:Low、CSN:High

注2) SRST[7:0]レジスタに0x09:10101010データを書き込むと、ソフトウェアリセットが実行されます。この設定により動作モードMode2(スタンバイ2)となり、レジスタは初期値となります。このレジスタは、ソフトウェアリセット完了後は“0”となります。

アナログ特性 (PLL SYNTH部)

特記なき場合、Vdd=2.7V~5.5V, 温度=-40°C~85°C。

項目	Min	Typ	Max	単位	備考
RF特性					
入力感度	-10		5	dBm	
入力周波数	40		500	MHz	Prescaler 4/5
	40		1000	MHz	Prescaler 8/9,16/17
REFIN特性					
入力感度	0.4		2	Vpp	
入力周波数		15.3 16.8 19.2		MHz	注1)
位相比較器					
位相検出器周波数			6.4	MHz	
チャージポンプ					
CP1最大値		168.9		μA	BIAS3=27kΩ, 注2)
CP1最小値		21.1		μA	BIAS3=27kΩ, 注2)
CP2最大値		2.32		mA	BIAS3=27kΩ, 注3)
CP2最小値		0.84		mA	BIAS3=27kΩ, 注3)
Icp TRI-STATE リーク電流		1		nA	0.6≦Vcpo≦CPVDD -0.7 (Vcpo:CP端子電圧)
Sink/Source電流 ミスマッチ, 注4)			10	%	Vcpo=CPVDD/2 Ta=25℃
Icp 対 Vcpo, 注5)			15	%	0.5≦Vcpo≦CPVDD-0.5 Ta=25℃
消費電流					
IDD_SYN1			10	μA	PDN=0
IDD_SYN2		2.4	3.6	mA	注6)
IDD_SYN3		0.17		mA	注7)

注 1) REFIN端子の入力周波数は、2nd LO周波数の1/3の周波数を入力してください。

注 2) チャージポンプ1の電流値については、P22のCP1[2:0]のレジスタ機能説明を参照してください。

注 3) チャージポンプ2の電流値については、P23のCP2[2:0]のレジスタ機能説明を参照してください。

注 4) Sink/Source 電流ミスマッチ : $\frac{(|I_{sink}| - |I_{source}|)}{(|I_{sink}| + |I_{source}|)/2} * 100$ [%]

注 5) Icp対Vcpo : $\frac{\{1/2 * (|I_1| - |I_2|)\}}{\{1/2 * (|I_1| + |I_2|)\}} * 100$ [%]

注 6) [PDN]="High"、{PDSYNTH_N}="High"。PVDD端子の電流。

注 7) [PDN]="High"、{PDSYNTH_N}="High"。CPVDD端子で定常的に消費する電流です。

高速ロックモード時は除きます。

注) [PDN]="High"、{PDSYNTH_N}="High"の時のPLL SYNTH部全体の消費電流はIDD_SYN2 + IDD_SYN3になります。

注) 裏面TABはVSS接続した状態でテストされます。

注) 2nd LO周波数=28.8MHzで使用する場合、{PDTRI_N}=0に設定し、直接LO2NDIN端子に28.8MHzの2nd LO信号を入力して下さい。この時PLL SYNTHのREF周波数は、28.8MHz/3=9.6MHzとなります。

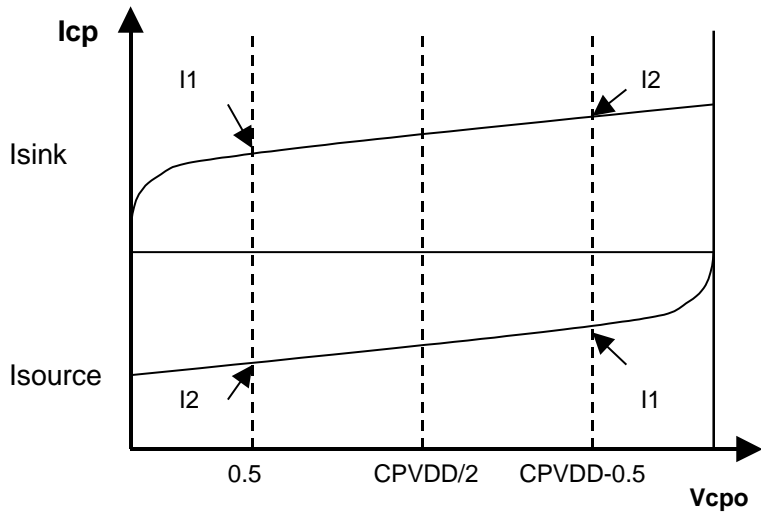


Figure 7 チャージポンプ特性 電圧 vs 電流

アナログ特性 (1st MIXER部)					
特記なき場合、Vdd=2.7V~5.5V, 温度=-40℃~85℃。					
IF出力周波数=50MHz、出力負荷抵抗=2.2kΩ、{FMIX_HV}=0, {FMIX_IP3}=0, LO入力レベル=-10dBm~+5dBm。また測定回路は、P.41の外部接続回路推奨例の通り。					
項目	Min.	Typ.	Max.	単位	備考
RF入力周波数	10		2000	MHz	
Lo入力周波数	10		2000	MHz	
出力周波数	20		100	MHz	
Lo入力電力	-10	0	+5	dBm	
電流調整用抵抗 ({FMIX_HV}=0)	39		100	kΩ	Vdd=2.7~5.5V
電流調整用抵抗 ({FMIX_HV}=1)	18		39	kΩ	Vdd=4.5~5.5V
消費電流 (電流調整用抵抗=18kΩ, {FMIX_HV}=1)		24		mA	MIXVDD,IFOUTP,IFOUTNに流れる電流の合計値です。
消費電流 (電流調整用抵抗=47kΩ)		9	13	mA	
消費電流 ({PDFMIX_N}=0)		1	10	uA	
RFIN=600MHz,LOIN=550MHz(0dBm) ,電流調整抵抗=47kΩ, Vdd=3V					
変換利得	0.5	3	5	dB	
SSB 雑音指数		8.5	11	dB	設計保証値
IP1dB	-3	1		dBm	
IIP3	7	11		dBm	
RFIN=600MHz, LOIN=550MHz(0dBm) ,電流調整抵抗=18kΩ,{FMIX_HV}=1, Vdd=5V					
変換利得		5		dB	
SSB 雑音指数		8.5		dB	設計保証値
IP1dB		0		dBm	
IIP3		16		dBm	設計保証値
RFIN=600MHz,LOIN=550MHz(0dBm) ,電流調整抵抗=47kΩ, Vdd=3V , {FMIX_IP3}=1					
変換利得		3		dB	
SSB 雑音指数		10		dB	設計保証値
IP1dB		0		dBm	
IIP3		14		dBm	設計保証値
消費電流		7		mA	

アナログ特性 (2nd IF部)

特記なき場合、 $V_{dd}=2.7V\sim 5.5V$ 、温度 $=-40^{\circ}C\sim 85^{\circ}C$ 。

Mode 6, $LO2NDIN=50.4MHz$, $IFIP=50.85MHz$, $\Delta f=\pm 1.5kHz$, $f_{mod}=1kHz$ 、 $AGC+BPF=F2$, $\{AGC_OFF\}=0$, $\{AGC_KEEP_SEL\}=0$, $\{AGC_KEEP\}=0$, $PGA0[2:0]=011$, $\{SDATAOUT_OE\}=0$ 。また測定回路は、P.45～47の外部接続回路推奨例の通り。

1) 2nd LO部

項 目	記号	条 件	Min.	Typ.	Max.	単位	備考
2nd ローカル周波数	F_{LO}	LO2NDIN		28.8 45.9 50.4 57.6		MHz	
入力振幅	V_{LO}	LO2NDIN	0.2		2.0	V_{PP}	注1

注1) DCカットを介しLO2NDIN端子より入力時。

2) PGA0+2nd Mixer部

2nd IF部のアナログ特性は、Figure 8のIFIP入力端子の測定回路を含んだ特性となります。

Figure 8に示す"2nd IF_INPUT"の入カインピーダンスは、 50Ω (typ.)となります。

項 目	条 件	Min.	Typ.	Max.	単位	備考
入力インピーダンス			50		Ω	
入力周波数			F_{LO} ± 0.45		MHz	
電圧利得			48		dB	

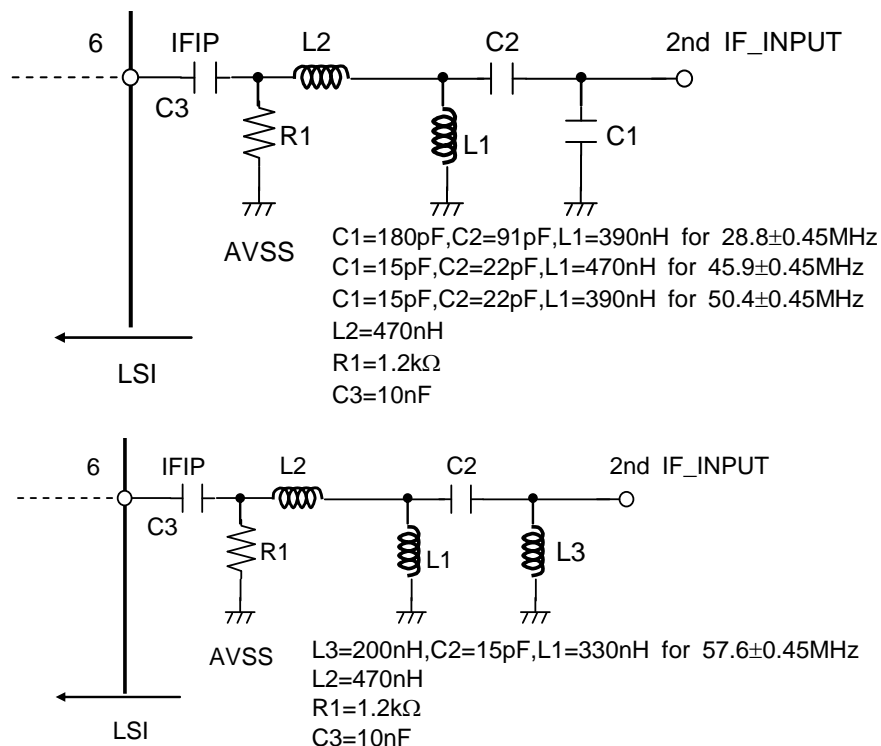


Figure 8 2nd IF部 IFIP入力端子の測定回路

3) 2nd IF部 受信総合

項 目	条 件	Min.	Typ.	Max.	単位	備考
2nd IF部 12dB SINAD 入力感度			-112		dBm	注2)
2nd IF部 ゲイン特性	Mode 5 Maximum gain setting for AGC IFIP to IFOUT {IFOG[2:0]}=001		101		dB	
	Mode 5 Minimum gain setting for AGC IFIP to IFOUT {IFOG[2:0]}=001		49		dB	
NF	Mode 5, BPF=F3 Maximum gain setting for AGC IFIP to IFOUT {IFOG[2:0]}=001		8		dB	
IIP3	Maximum gain setting for AGC IFIP=50.8635MHz&50.876MHz {IFOG[2:0]}=001		-37		dBm	
IP1dB	Minimum gain setting for AGC {IFOG[2:0]}=001		-40		dBm	
復調出力レベル	$\Delta f = \pm 3.0\text{kHz}$, $f_{\text{mod}} = 1\text{kHz}$, AGC+BPF=F1, {DISLPF_G[2:0]}=101	70	100	130	mVrms	
	$\Delta f = \pm 1.5\text{kHz}$, $f_{\text{mod}} = 1\text{kHz}$, AGC+BPF=F2, {DISLPF_G[2:0]}=001	70	100	130	mVrms	
S/N比	$\Delta f = \pm 3.0\text{kHz}$, $f_{\text{mod}} = 1\text{kHz}$, $V_{\text{in}} = -47\text{dBm}$ AGC+BPF=F1, {DISLPF_G[2:0]}=101 Note)	42	50		dB	注2)
	$\Delta f = \pm 1.5\text{kHz}$, $f_{\text{mod}} = 1\text{kHz}$, $V_{\text{in}} = -47\text{dBm}$ AGC+BPF=F2, {DISLPF_G[2:0]}=001 Note)	36	46		dB	注2)
Audio Frequency 特性	$\Delta f = \pm 0.5\text{kHz}$, $f_{\text{mod}} = 3\text{kHz}$, $V_{\text{in}} = -47\text{dBm}$ AGC+BPF=F3特性, IFIP入力→AUDIOOUT {DISLPF_G[2:0]}=001	-4.3	-3.5		dB	注3)

注2) デエンファシス+BPF回路(0.3~3kHz)通過後

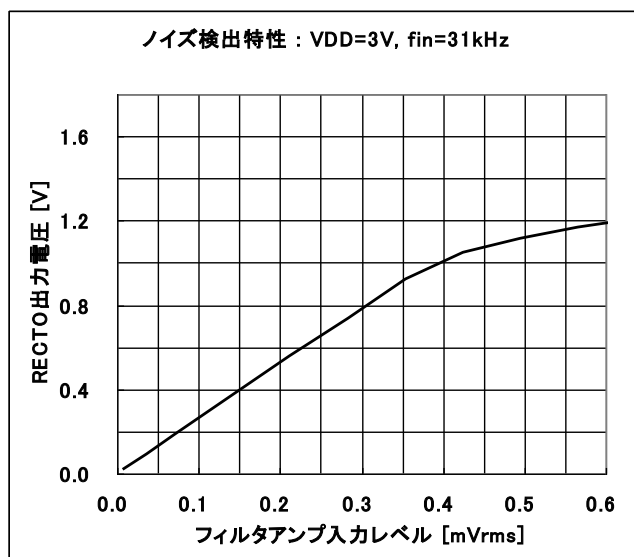
注3) $f_{\text{mod}} = 1\text{kHz}$ の時の出力レベルを0dBとした相対値

4) RSSI部

項 目	条 件	Min.	Typ.	Max.	単位	備考
RSSI出力電圧	IFIP→RSSIOUT, {AGC_OFF}=0 IFIP=-115dBm入力時		0.6		V	
	IFIP→RSSIOUT, {AGC_OFF}=0 IFIP=-45dBm入力時		2.2		V	

5) ノイズスケルチ回路特性

項 目	条 件	Min.	Typ.	Max.	単位	備考
ノイズ検出レベル	NRECTO→DETO Highを検出		0.5	0.7	V	
	NRECTO→DETO Lowを検出	0.3	0.4		V	
ノイズ検出特性	NAMPI→NRECTO 入力条件: 31kHz, 0.1mVrms		0.3		V	
	NAMPI→NRECTO 入力条件: 31kHz, 0.25mVrms		0.65		V	



6) AGC+BPF部

6.1) F0特性 (E)

項 目	条 件	Min.	Typ.	Max.	単位	備考
フィルタ減衰特性 (450kHzでの利得を 0dBとした相対値)	435kHz			-50	dB	
	442.5kHz	-6			dB	
	457.5kHz	-6			dB	
	465kHz			-50	dB	
ゲインリップル	450±5kHz以内			3	dB	

6.2) F1特性 (F)

項 目	条 件	Min.	Typ.	Max.	単位	備考
フィルタ減衰特性 (450kHzでの利得を 0dBとした相対値)	437.5kHz			-50	dB	
	444kHz	-6			dB	
	456kHz	-6			dB	
	462.5kHz			-50	dB	
ゲインリップル	450±4kHz以内			3	dB	

6.3) F2特性 (G)

項 目	条 件	Min.	Typ.	Max.	単位	備考
フィルタ減衰特性 (450kHzでの利得を 0dBとした相対値)	439kHz			-50	dB	
	445.5kHz	-6			dB	
	454.5kHz	-6			dB	
	461kHz			-50	dB	
ゲインリップル	450±3kHz以内			3	dB	

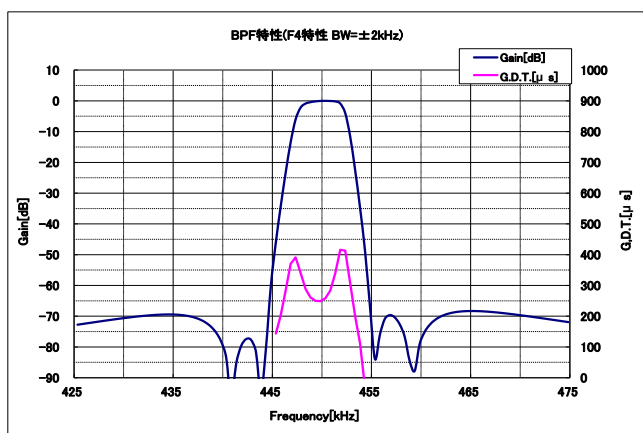
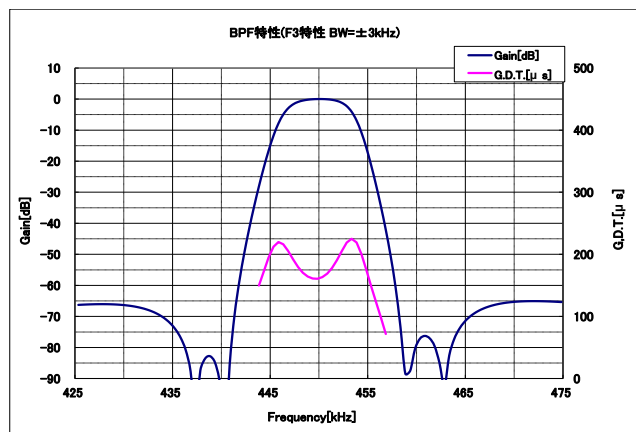
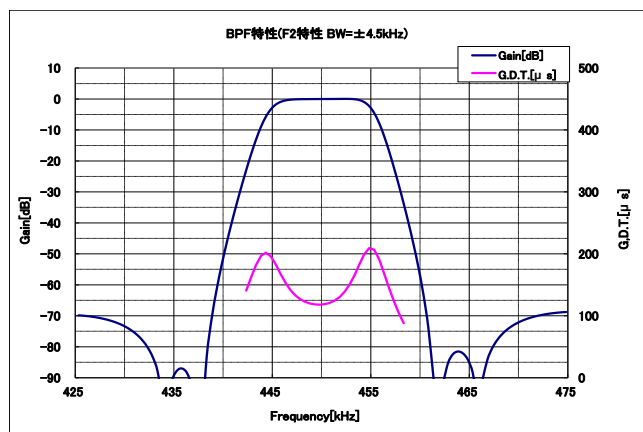
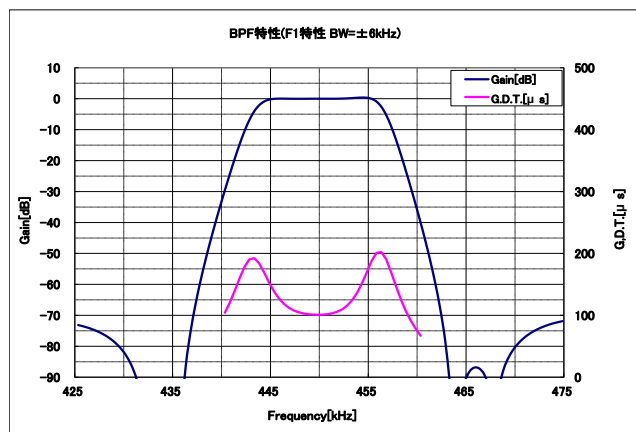
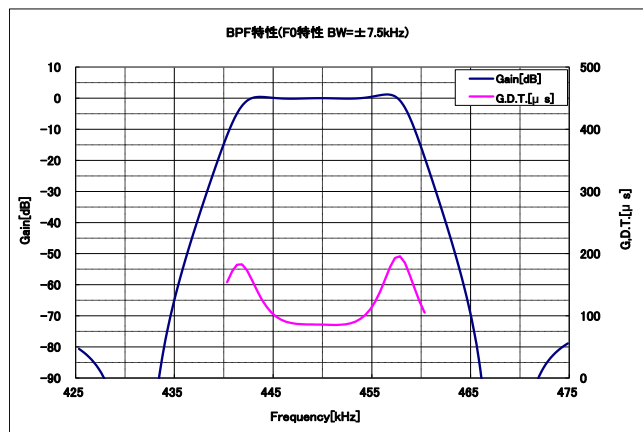
6.4) F3特性 (Hn)

項 目	条 件	Min.	Typ.	Max.	単位	備考
フィルタ減衰特性 (450kHzでの利得を 0dBとした相対値)	441kHz			-50	dB	
	447kHz	-6			dB	
	453kHz	-6			dB	
	459kHz			-50	dB	
ゲインリップル	450±2kHz以内			2	dB	

6.5) F4特性 (J)

項 目	条 件	Min.	Typ.	Max.	単位	備考
フィルタ減衰特性 (450kHzでの利得を 0dBとした相対値)	443kHz			-50	dB	
	448kHz	-8			dB	
	452kHz	-8			dB	
	457kHz			-50	dB	
ゲインリップル	450±1.5kHz以内			3.5	dB	

□ フィルタ特性



7) IFBUF回路特性

項目	条件	Min.	Typ.	Max.	単位	備考
セトリングタイム	IFBUF入力→IFOUT, IFBUF入力 =0.32Vppのステップ C _{L2} =21pF, {IFOG[2:0]}=001		100		ns	

注1) IFBUF入力に0.32Vppのステップ波を入力した時に1%以内に収束するまでの時間。

8) 消費電流

項 目	記号	条 件	Min.	Typ.	Max.	単位
消費電流	IDD0	Mode0 パワーダウン時			0.01	mA
	IDD1	Mode1(設定禁止)			-	mA
	IDD2	Mode2 スタンバイ(初期値)		0.1	0.15	mA
	IDD3	Mode3		1	1.5	mA
	IDD4	Mode4、デジタル無線モード1 無信号時消費電流 注2)		7	11	mA
	IDD5	Mode5 デジタル無線モード2 無信号時消費電流 注2)		7.5	12	mA
	IDD6	Mode6 アナログ無線モード 無信号時消費電流 注2)		7.5	12	mA
	IDD7	Mode7 Full Power On 無信号時消費電流 注2)		8.5	13	mA

注1) AVDD電源に流れる電流です。

注2) 3通倍回路：ON設定時

注3) Mode1は設定禁止となります。使用しないで下さい。

アナログ特性 (ADC)

特記なき場合、Vdd=2.7V~5.5V, 温度=-40°C~85°C。

fs=1MHz, ADVDD = 3.0V, AD_SCLK=20MHz

項目	Min.	Typ.	Max.	単位
Resolution		12		Bits
No Missing Codes 注2)	11			Bits
Integral Nonlinearity (INL) Error		±2		LSB
Differential Nonlinearity (DNL) Error		±1		LSB
Input Voltage Range	0		ADVDD	V
ADVDD Power Current		2	3.8	mA

注1) 上記A/Dの特性はA/D単体性能です。

注2) 設計保証値

レジスタマップ

Name	Address	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
NUM	0x01	NUM [17]	NUM [16]	NUM [15]	NUM [14]	NUM [13]	NUM [12]	NUM [11]	NUM [10]	NUM [9]	NUM [8]	NUM [7]	NUM [6]	NUM [5]	NUM [4]	NUM [3]	NUM [2]	NUM [1]	NUM [0]
	初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
INT	0x02	CP1 [2]	CP1 [1]	CP1 [0]	INT [14]	INT [13]	INT [12]	INT [11]	INT [10]	INT [9]	INT [8]	INT [7]	INT [6]	INT [5]	INT [4]	INT [3]	INT [2]	INT [1]	INT [0]
	初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
DIV	0x03	0	INTE	CP HiZ	DITH	LDCKSEL [1]	LDCKSEL [0]	LD	CP POLA	PRE [1]	PRE [0]	R1 [7]	R1 [6]	R1 [5]	R1 [4]	R1 [3]	R1 [2]	R1 [1]	R1 [0]
	初期値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
CP_FAST	0x04	0	FAST EN	CP2 [2]	CP2 [1]	CP2 [0]	FAST [12]	FAST [11]	FAST [10]	FAST [9]	FAST [8]	FAST [7]	FAST [6]	FAST [5]	FAST [4]	FAST [3]	FAST [2]	FAST [1]	FAST [0]
	初期値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
NSQ	0x05	VTSEL [1]	VTSEL [0]	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
OFFSET	0x06	OFST [17]	OFST [16]	OFST [15]	OFST [14]	OFST [13]	OFST [12]	OFST [11]	OFST [10]	OFST [9]	OFST [8]	OFST [7]	OFST [6]	OFST [5]	OFST [4]	OFST [3]	OFST [2]	OFST [1]	OFST [0]
	初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
IFBPF	0x07	AGC_ KEEP	AGCLVL_ H[2]	AGCLVL_ H[1]	AGCLVL_ H[0]	AGCLVL_ L[2]	AGCLVL_ L[1]	AGCLVL_ L[0]	CAL	AGC_ FAST	AGC_ TIME[1]	AGC_ TIME[0]	AGC1_ STEP	AGC_ OFF	BPF_BW [2]	BPF_BW [1]	BPF_BW [0]	LOFREQ [1]	LOFREQ [0]
	初期値	0	1	0	1	1	0	0	0	1	0	0	1	0	0	0	0	0	1
PGA	0x08	PGA0_LG	PGA2_G [4]	PGA2_G [3]	PGA2_G [2]	PGA2_G [1]	PGA2_G [0]	PGA1_G [5]	PGA1_G [4]	PGA1_G [3]	PGA1_G [2]	PGA1_G [1]	PGA1_G [0]	PGA0 [2]	PGA0 [1]	PGA0 [0]	IFOG [2]	IFOG [1]	IFOG [0]
	初期値	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	0	0	1
SRST	0x09	0	0	0	0	0	0	0	0	0	0	SRST [7]	SRST [6]	SRST [5]	SRST [4]	SRST [3]	SRST [2]	SRST [1]	SRST [0]
	初期値	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PD	0x0A	0	RSSIMD	0	AGC_KEE P_SEL	SDATAOU T_OE	FMIX_IP3	DISLPF_G [2]	DISLPF_G [1]	DISLPF_G [0]	FMIX_HV	PDTRI_N	BS[2]	BS[1]	BS[0]	PDSYNTH _N	PDADC_N	PDFSTMI X_N	BSSEL_F MIX
	初期値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
RD_AGCG	0x0B								R_AGC1_ G[5]	R_AGC1_ G[4]	R_AGC1_ G[3]	R_AGC1_ G[2]	R_AGC1_ G[1]	R_AGC1_ G[0]	R_AGC2_ G[4]	R_AGC2_ G[3]	R_AGC2_ G[2]	R_AGC2_ G[1]	R_AGC2_ G[0]
	初期値								-	-	-	-	-	-	-	-	-	-	-

注1) アドレス0x01の書込みはアドレス0x02への書込み時有効となります。このため必ずアドレス0x01⇒0x02の順番で書込みを行ってください。

注2) PDN解除後のレジスタ値は初期値が不定です。確定させるためにレジスタの初期化を行ってください。

注3) アドレス0x0C～0x1Fは、出荷検査用テストレジスタに使用していますので、アクセスしないで下さい。

Address 0X01

注) Address1の書込みはAddress2の書込み時に有効となります。

NUM[17:0] : 分数項を2の補数表現で設定します。

Address 0X02

CP1[2:0] : CP1電流値を設定します。

CP1の最小電流値 (CP1_min) は次の式で求められます。

$$CP1_min = 0.570 / \text{BIASピン接続抵抗}$$

CP1電流 = CP1_min x (CP1設定値 + 1) となります。

CP1[2:0]	CP1電流[uA]		
	22kΩ	27 kΩ	33 kΩ
000	25.9	21.1	17.3
001	51.8	42.2	34.5
010	77.7	63.3	51.8
011	103.6	84.4	69.1
100	129.5	100.6	86.4
101	155.5	126.7	103.6
110	181.4	147.8	120.9
111	207.3	168.9	138.2

INT[14:0] : PLL分周数の整数項を設定します。

PRE[1:0]="00" 時、48～8191が設定可能です。

PRE[1:0]="01" 時、116～16383が設定可能です。

PRE[1:0]="1x" 時、348～32767が設定可能です。

Address 0x03

INTE : INTEGER分周モード

0 : ディセーブル

1 : イネーブル (ΔΣ回路はINTEGER動作となります。)

CPHIZ : CP1,CP2出力をTRI-STATEにします。

0 : 通常出力

1 : TRI-STATE

DITH : ΔΣ回路のディザ設定。

0 : DITH OFF (Low Noise mode)

1 : DITH ON (Low Spurious mode)

周波数オフセット調整機能を使用する場合には、DITH=0 (OFF)に設定して下さい。

LDCKSEL[1:0] : ロック検出用サンプリング周期設定。

ロック検出はREFIN入力クロックでサンプリングされます。

DITH="1"設定時はサンプリング周期 > [RFINP入力周期×7]

DITH="0"設定時はサンプリング周期 > [RFINP入力周期×4]

となるように設定してください。

"00" : REFINクロック1周期 : リファレンス分周設定≧4としてください。

"01" : REFINクロック2周期 : リファレンス分周設定≧6としてください。

"10" : REFINクロック3周期 : リファレンス分周設定≧7としてください。

"11" : REFINクロック1周期 : リファレンス分周設定=3としてください。

LD : ロック検出機能切替え設定。

- 0 : デジタル検出
- 1 : アナログ検出

CPPOLA : CP1,CP2出力極性を切替えます。

- 0 : Positive
- 1 : Negative

PRE[1:0] : プリスケアラ分周選択

- “00” : P=4
- “01” : P=8
- “10” : P=16
- “11” : P=16

R1[7:0] : リファレンスクロック分周設定

3(3分周)～255(255分周)設定可能。**0～2設定は禁止**です。
LDCKSEL[1:0]設定により最小分周数が制限されます。

Address 0x04

FASTEN : FAST機能イネーブル設定

- 0 : CP2、FAST[12:0]の切替え設定が無効となります。
- 1 : CP2、FAST[12:0]の切替え設定が有効となります。

CP2[2:0] : CP2電流値設定

CP2の最小電流値 (CP2_min) は次の式で求められます。

$$CP2_min = 5.7 / \text{BIASピン接続抵抗}$$

CP2電流 = CP2_min × (CP2設定値 + 4) 設定値となります。

CP2[2:0]	CP2電流[mA]		
	33kΩ	27 kΩ	22 kΩ
000	0.69	0.84	1.04
001	0.86	1.06	1.30
010	1.04	1.27	1.55
011	1.21	1.48	1.81
100	1.38	1.69	2.07
101	1.55	1.90	2.33
110	1.73	2.11	2.59
111	1.90	2.32	2.85

FAST[12:0] : FASTカウンタ時間設定

1～8191d設定可。CP2のON時間を設定します。【位相比較周波数周期×設定値】カウント後にCP2がオフします。0設定は禁止です。

<Address 0x02>へのデータ書き込みが完了してからカウントを開始します。

Address 0x05

VTSEL[1:0] : ノイズスケルチ回路のノイズ検出レベルの切替

- | | | | |
|----|-----------------------|----|-------------|
| 00 | : 0.4V/0.5V (default) | 01 | : 0.8V/0.9V |
| 10 | : 1.1V/1.2V | 11 | : 1.4V/1.5V |

Address 0x06**OFST[17:0]** : 周波数オフセット調整レジスタ

オフセット周波数を2の補数表現で設定します。

このレジスタに書かれると、NUM[17:0]、INT[14:0]は再計算されます。また、それらの再計算されたデータは、 $\Delta\Sigma$ およびN-ディバイダーの中で使用されます。

この機能を使用しない場合は、ALL0を書いてください。

OFFSETレジスタ設定の最大書き込み周期は $1/3.5 \times \text{VCO発振周波数}/(\text{INT}+7)$ 以下の速度で書き込んでください。これより早く書き込んだ場合設定が無視されます。

周波数オフセット調整機能を使用する場合には、DITH=0 (OFF)に設定して下さい。

Address 0x07**AGC_KEEP** : AGC1/2ゲイン保持機能

AGC機能: ONの時に、{AGC_KEEP}=1に設定すると、設定した時のAGC1/AGC2ゲインの状態を保持します。{AGC_KEEP}=0に設定すると、AGC1/AGC2のゲインは、IFIP入力信号レベルに応じて切替わります。

0: AGC1/2ゲインはIFIP入力レベルで変化 (default)

1: AGC1/2ゲインは、“1”設定時の値で保持

AGCLVL_H[2:0] : AGC制御の判定レベルの上限を設定

AGCLVL_H [2]	AGCLVL_H [1]	AGCLVL_H [0]	AGC判定レベルの上限
0	0	0	-5dB
0	0	1	-4dB
0	1	0	-3dB
0	1	1	-2dB
1	0	0	-1dB
1	0	1	0dB (default)
1	1	0	1dB
1	1	1	2dB

AGCLVL_L[2:0] : AGC制御の判定レベルの下限を設定

AGCLVL_L [2]	AGCLVL_L [1]	AGCLVL_L [0]	AGC判定レベルの下限
0	0	0	-8dB
0	0	1	-6dB
0	1	0	-4dB
0	1	1	-2dB
1	0	0	0dB (default)
1	0	1	1dB
1	1	0	2dB
1	1	1	3dB

注1) AGC制御は、AGC1/2出力レベルが判定レベルの上限を超えた場合、AGC1/2ゲインを下げ、下限を下回った場合、AGC1/2ゲインを上げる動作を行います。AGC判定レベルは、defaultの設定値を基準に表中に記載のステップで調整できます。

注2) {AGC_OFF}=0 (AGC機能がON) の時、設定が有効となります。

CAL : Discriminator部キャリブレーション開始トリガ

0 : 無効

1 : 開始

注) {CAL}の立ち上がりを検出して、Discriminator部のキャリブレーションを実施します。キャリブレーション終了後は自動的に“0”に設定されます。キャリブレーションには、1.3msを必要とします。詳細については、“キャリブレーション動作説明”の項を参照ください。

AGC_FAST : AGC 制御方法を設定します。

0 : AGC_TIME[1:0]に記載のAGC応答時間でAGC制御動作を行います。

1 : AGC1/AGC2出力レベルが上限と下限の間に収束した時（収束時）と収束していない時（アタック/リリース時）で、AGC応答の時定数を切り替えます。アタック/リリース時はAGC_TIME[1:0]="00"のAGC応答時間で動作し、収束後はAGC_TIME[1:0]で設定した応答時間と同様の判定速度でAGC動作を行います。バースト信号にも早い応答速度でAGC動作が可能です。

AGC_TIME[1:0] : AGC応答時間の設定

AGC1ゲイン及び、AGC2ゲインが1ステップ切り替わる時の応答時間を設定できます。

AGC_TIME [1]	AGC_TIME [0]	AGC応答時間 [ms]					
		AGC1_STEP=0設定時			AGC1_STEP=1設定時		
		状態A	状態B	状態C	状態A	状態B	状態C
0	0	(0.6)	(8.5)	(8.5)	(0.4)	(4.4)	(4.4)
0	1	(67)	(95)	(95)	(34)	(58)	(58)
1	0	(134)	(182)	(182)	(67)	(111)	(111)
1	1	(267)	(355)	(355)	(134)	(218)	(218)

注3) ゲインが最大から最小、最小から最大に変化するまでの応答時間を示します。

注4) AGC応答時間は、以下の3つの状態に応じて異なります。

状態A : AGC1出力レベルが上限を超えた場合

状態B : AGC1出力レベルが上限を超えずにAGC2出力レベルが上限を超えた場合

状態C : AGC2出力レベルが下限を下回った場合

AGC_STEP : AGC1のゲイン切り替え幅の設定

0 : ± 1 dB

1 : ± 2 dB (default)

AGC_OFF : AGC機能On/Off 切替機能

0 : On (default)

1 : Off

BPF_BW[2:0] : BPF 帯域切替

BPF_ BW[2]	BPF_ BW[1]	BPF_ BW[0]	記号	6dB減衰 帯域	減衰 帯域幅	備考
1	0/1	0/1	F0	± 7.5 kHz	± 15 kHz (50dB内)	
0	0	0	F1	± 6 kHz	± 12.5 kHz (50dB内)	
0	0	1	F2	± 4.5 kHz	± 11 kHz (50dB内)	
0	1	0	F3	± 3 kHz	± 9 kHz (50dB内)	
0	1	1	F4	± 2 kHz	± 7 kHz (50dB内)	F4 の ± 2 kHz は、8dB 減衰帯域となります。

LOFREQ[1:0] : ローカル周波数の設定

LOFREQ [1]	LOFREQ [0]	ローカル周波数
0	0	45.9MHz
0	1	50.4MHz
1	0	57.6MHz
1	1	28.8MHz

Address 0x08**PGA0[2:0]** : PGA0+2nd MIXのゲイン設定

PGA0[2]	PGA0[1]	PGA0[0]	PGA0 + 2nd MIX ゲイン [dB]
0	0	0	(42)
0	0	1	(44)
0	1	0	(46)
0	1	1	(48) (default)
1	0	0	(50)
1	0	1	(52)
1	1	0	(54)
1	1	1	(56)

注) P15のFigure 8の測定回路を含んだゲインです。

PGA0_LG : {PGA0_LG}=1にする事で、{PGA0[2:0]}の設定に関係なく、PGA0+2nd MIXのゲインを28dBに下げることができます。

0 : PGA0+2nd MIXのゲインは{PGA0[2:0]}の設定が有効 (default)

1 : PGA0+2nd MIXのゲインは{PGA0[2:0]}の設定に関係なく28dBとなります。

PGA2_G[4:0] : {AGC_OFF}="1"の時、AGC2 ゲイン設定が可能となります。

PGA2_G[4]	PGA 2_G[3]	PGA 2_G[2]	PGA 2_G[1]	PGA 2_G[0]	ゲイン[dB]
0	1	1	0	0	12
0	1	0	1	1	11
0	1	0	1	0	10
0	1	0	0	1	9
0	1	0	0	0	8
0	0	1	1	1	7
0	0	1	1	0	6
0	0	1	0	1	5
0	0	1	0	0	4
0	0	0	1	1	3
0	0	0	1	0	2
0	0	0	0	1	1
0	0	0	0	0	0

注) 表中に規定されていないコードの組み合わせは、設定しないで下さい。

PGA1_G[5:0] : {AGC_OFF}="1"の時、AGC1ゲイン設定が可能となります。

PGA1_G[5]	PGA1_G[4]	PGA1_G[3]	PGA1_G[2]	PGA1_G[1]	PGA1_G[0]	ゲイン[dB]
0	1	0	1	0	1	21
0	1	0	1	0	0	20
0	1	0	0	1	1	19
0	1	0	0	1	0	18
0	1	0	0	0	1	17
0	1	0	0	0	0	16
0	0	1	1	1	1	15
0	0	1	1	1	0	14
0	0	1	1	0	1	13
0	0	1	1	0	0	12
0	0	1	0	1	1	11
0	0	1	0	1	0	10
0	0	1	0	0	1	9
0	0	1	0	0	0	8
0	0	0	1	1	1	7
0	0	0	1	1	0	6
0	0	0	1	0	1	5
0	0	0	1	0	0	4
0	0	0	0	1	1	3
0	0	0	0	1	0	2
0	0	0	0	0	1	1
0	0	0	0	0	0	0
1	1	1	1	1	1	-1
1	1	1	1	1	0	-2
1	1	1	1	0	1	-3
1	1	1	1	0	0	-4
1	1	1	0	1	1	-5
1	1	1	0	1	0	-6
1	1	1	0	0	1	-7
1	1	1	0	0	0	-8
1	1	0	1	1	1	-9
1	1	0	1	1	0	-10
1	1	0	1	0	1	-11
1	1	0	1	0	0	-12
1	1	0	0	1	1	-13
1	1	0	0	1	0	-14
1	1	0	0	0	1	-15
1	1	0	0	0	0	-16
1	0	1	1	1	1	-17
1	0	1	1	1	0	-18
1	0	1	1	0	1	-19

注) 表中に規定されていないコードの組み合わせは、設定しないで下さい。

IFOG[2:0] : IFBUFのゲイン設定

IFOG[2]	IFOG[1]	IFOG[0]	IFBUFのゲイン[dB]
0	0	0	0
0	0	1	3 (default)
0	1	0	6
0	1	1	9
1	0	0	12
1	0	1	15

Address 0x09

ソフトウェアリセット :

SRST[7:0]レジスタに0x09:10101010データを書き込むと、ソフトウェアリセットが実行されます。詳細については、“システムリセット”の項を参照ください。

Address 0x0A**PDN,BS[2:0] : 2nd IF部 動作モード設定**

PDN	BS [2]	BS [1]	BS [0]	モード名	LDOD	LDOA, AGNDIN	LOBUF, VIREF系	2nd MIX~ SMF, DIV, AGCCNT	IFBUF	LIMITER, RSSI	DISCRI, Noise Squelch
0	-	-	-	Mode0 (パワーダウン)	OFF	OFF	OFF	OFF	OFF	OFF	OFF
1	0	0	1	Mode1 (注1)	ON	OFF	OFF	OFF	OFF	OFF	OFF
1	0	1	0	Mode2 (初期値)	ON	ON	OFF	OFF	OFF	OFF	OFF
1	0	1	1	Mode3	ON	ON	ON	OFF	OFF	OFF	OFF
1	1	0	0	Mode4	ON	ON	ON	ON	ON	OFF	OFF
1	1	0	1	Mode5	ON	ON	ON	ON	ON	ON	OFF
1	1	1	0	Mode6	ON	ON	ON	ON	OFF	ON	ON
1	1	1	1	Mode7	ON	ON	ON	ON	ON	ON	ON

注1) Mode1は設定禁止となります。使用しないで下さい。

注2) 表中に規定されていないコードの組み合わせは、設定しないで下さい。

DISLPF_G[2:0] : 復調レベルの設定

DISLPF_G[2]	DISLPF_G [1]	DISLPF_G [0]	±1.5kHz dev入力時の復調レベル
0	0	1	100mVrms
0	1	0	200mVrms
0	1	1	300mVrms
1	0	1	50mVrms
1	1	0	100mVrms
1	1	1	150mVrms

注) {DISLPF_G[2:0]}を設定する事で、 $\Delta f = \pm 1.5\text{kHz dev}$ 入力時のAUDIOOUT出力端での復調レベルを50mVrms typ ~ 300mVrms typに設定する事ができます。

注) 表中に規定されていないコードの組み合わせは、設定しないでください。

RSSIMD : RSSIのモード切替

RSSIをAGC1/2ゲインと連動して動作させるか、連動させないかを設定する事ができます。

0 : AGC1/2ゲインと連動する。 (default)

1 : AGC1/2ゲインと連動しない。

AGC_KEEP_SEL : AGC_KEEP 機能の制御方法切替

AGC_KEEP機能をレジスタ制御で行うか、端子制御で行うかを設定します。

- 0 : レジスタ{AGC_KEEP}で制御 (default)
- 1 : [AGC_KEEP]端子で制御

SDATAOUT_OE : DETO/SDATAOUT端子出力信号切替

DETO/SDATAOUT端子に出力する信号を設定します。

- 0 : DETO信号を出力 (default)
- 1 : SDATAOUT信号を出力

FMIX_IP3 : 1st Mixer特性バランス切替

IIP3特性を優先する場合、{FMIX_IP3}=1に設定する事で、1st Mixerの消費電流を増やさずにIIP3特性を向上する事ができます。この時、電流調整用抵抗値は、47kΩ以下で使用して下さい。また、NF特性を優先する場合には、{FMIX_IP3}=0にてご使用ください。

- 0 : NF特性を優先 (default)
- 1 : IIP3特性を優先

FMIX_HV : 1st MIXER IIP3特性向上

電流調整用抵抗を39kΩより小さくする事で、1st MIXERのIIP3特性を向上する事ができます。その場合、{FMIX_HV}=1に設定し、MIXVDDは4.5V以上で使用して下さい。この時、電流調整用抵抗値は、18kΩ以上としてください。

- 0 : 電流調整用抵抗が39kΩ以上の場合 (default)
- 1 : 電流調整用抵抗が39kΩ未満の場合

PDTRI_N : 3通倍回路On/Off

3通倍回路をOffする事で、シンセサイザのREFIN信号をLO2NDIN端子から入力する事ができます。この時、シンセサイザに入力されるREFIN周波数はLO2NDIN入力周波数の3分周となります。

- 0 : Off (default)
- 1 : On

PDSYNTH_N : SYNTH On/Off

- 0 : Off (default)
- 1 : On

PDADC_N : ADC On/Off

- 0 : Off (default)
- 1 : On

PDFSTMIX_N : 1st MIXER On/Off

- 0 : Off (default)
- 1 : On

BSSEL_FMIX : BIAS1/2抵抗選択制御

- 0 : BIAS2端子が有効 (default)
- 1 : BIAS1端子が有効

Address 0x0B

R_AGC1_G[5:0] : {AGC_OFF}=0の時のAGC1の設定ゲインを読み出すことができます。

R_AGC2_G[4:0] : {AGC_OFF}=0の時のAGC2の設定ゲインを読み出すことができます。

PLL SYNTH部 ブロック図

AK2400は $\Delta\Sigma$ 型Fractional-N PLL(Phase Locked Loop)による周波数切替え機能を持ち、40MHzから1000MHzの周波数範囲をカバーする周波数シンセサイザです。この製品は18ビットの $\Delta\Sigma$ 回路、低雑音の位相周波数比較器、精度の高いチャージポンプ、リファレンス分周器、デュアルモジュラスプリスケアラ(P/P+1)、及び周波数オフセット調整可能なレジスタで構成されます。

シンセサイザを外付けのループフィルタおよびVCO(Voltage Controlled Oscillator)と組み合わせる事により、完全なPLLを実現します。2.7V~5.5Vの電源電圧で動作し、チャージポンプ回路とシリアルインターフェースの電源電圧は独立で駆動可能です。

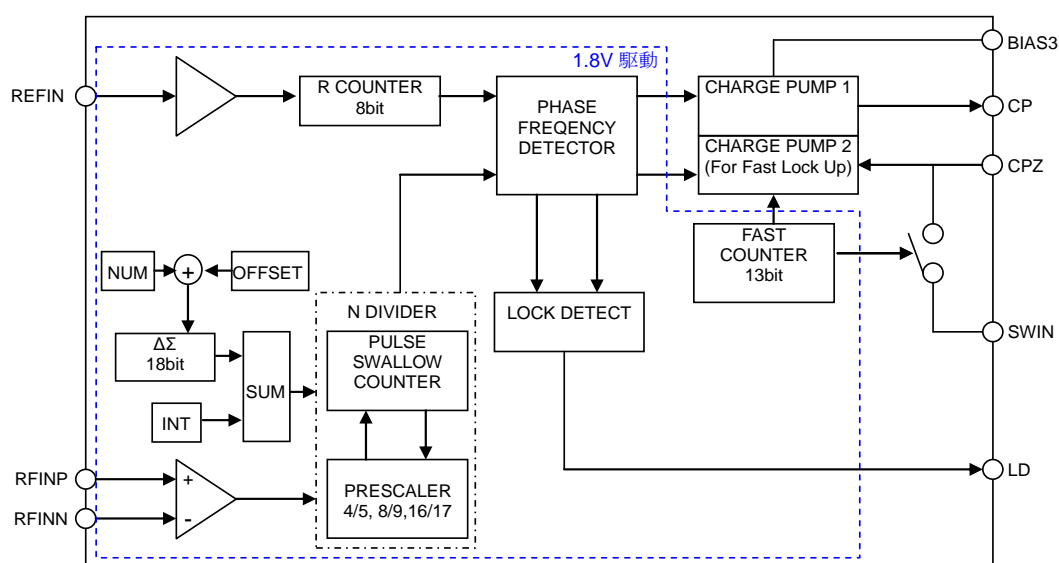


Figure 9 PLL SYNTH部 ブロック図

PLL SYNTH部 ロック検出動作説明

AK2400のロック検出は、<Address3>D[11]の{LD}により出力の方法が選択されます。{LD}を"1"にした場合はPhase Frequency Detectorより位相比較の結果がそのまま出力されます。(これをアナログロック検出と呼びます。) {LD}を"0"に設定した場合は内部ロジックに従い、ロック検出信号が出力されます。(これをデジタルロック検出と呼びます。)

アナログ検出

アナログ検出は位相比較器の出力をLD端子から出力します。

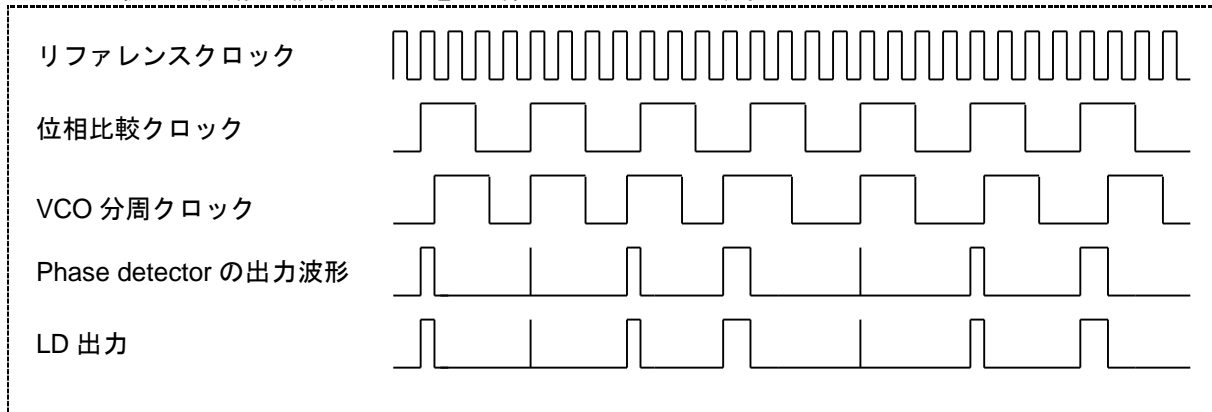


Figure 10 アナログロック検出動作

デジタル検出

デジタルロック検出モードでは、周波数設定をした際、LD端子はアンロック状態 (Low) となります。位相誤差T以下の状態が続けて63回検出されるとLD端子がHighとなります。これがロック状態です。LD端子がHigh、つまりロックの状態から、位相誤差T以上が続けて63回検出されるとLD端子がLowとなります。これがアンロック状態です。

位相検出精度はレジスタLDCKSEL[1:0] で設定されます。

- | | | | |
|------------|---|-------------------------------|---------------------------------------|
| LDCKSEL設定値 | 0 | $T = \text{REFIN周期}$ | (リファレンスクロック分周設定 $R \leq 3$ では使用できません) |
| LDCKSEL設定値 | 1 | $T = \text{REFIN周期} \times 2$ | (リファレンスクロック分周設定 $R \leq 5$ では使用できません) |
| LDCKSEL設定値 | 2 | $T = \text{REFIN周期} \times 3$ | (リファレンスクロック分周設定 $R \leq 6$ では使用できません) |

AK2400は $\Delta\Sigma$ 型フラクショナルのためVCO発振周期の最大7倍の位相誤差が位相比較器で生じます。このためLDCKSEL設定値は $\Delta\Sigma$ のフラクショナルの振れ幅以上に設定する必要があります。必要があります。ただし、RF周波数が下記の式を満足しない場合、デジタルロック検出は使用できません。このような場合は、アナログロック検出をお使いください。

<Address3>の{DITH}=D[14]が1(DITH ON)の場合:

$$\text{RF周波数} > \text{REFIN入力周波数} / [\{\text{LDCKSEL}[1:0]\} + 1] \times 7$$

<Address3>の{DITH}=D[14]が0(DITH OFF)の場合:

$$\text{RF周波数} > \text{REFIN入力周波数} / [\{\text{LDCKSEL}[1:0]\} + 1] \times 4$$

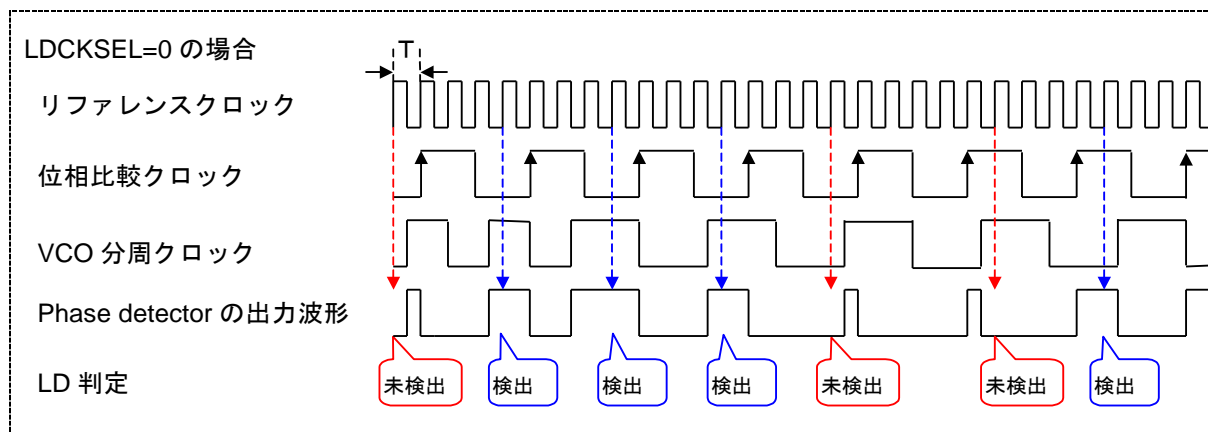


Figure 11 デジタルロック検出動作

アンロック⇒ロック

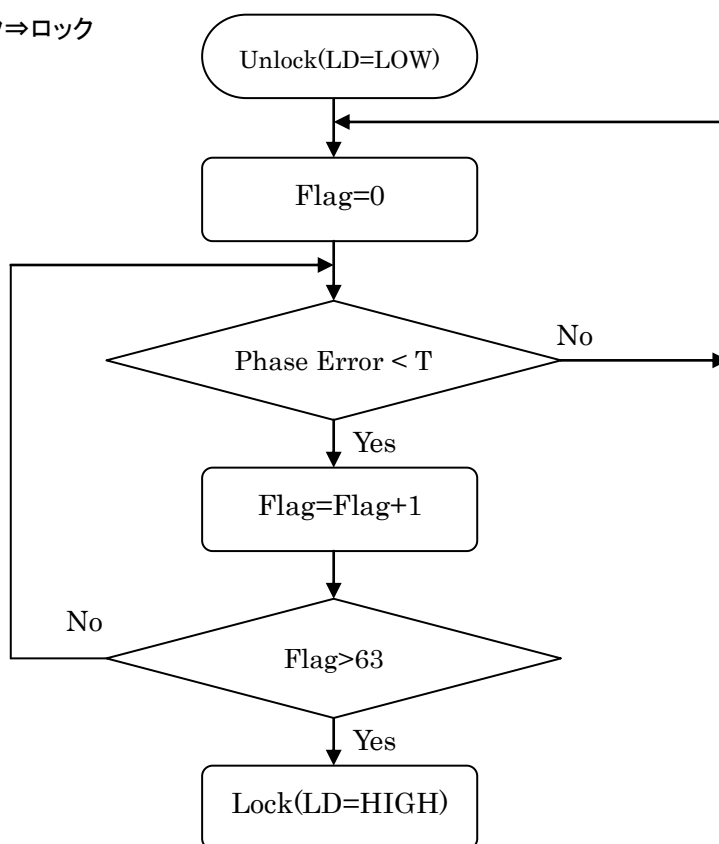


Figure 12-1 デジタルロック検出フローチャート(アンロック⇒ロック)

ロック⇒アンロック

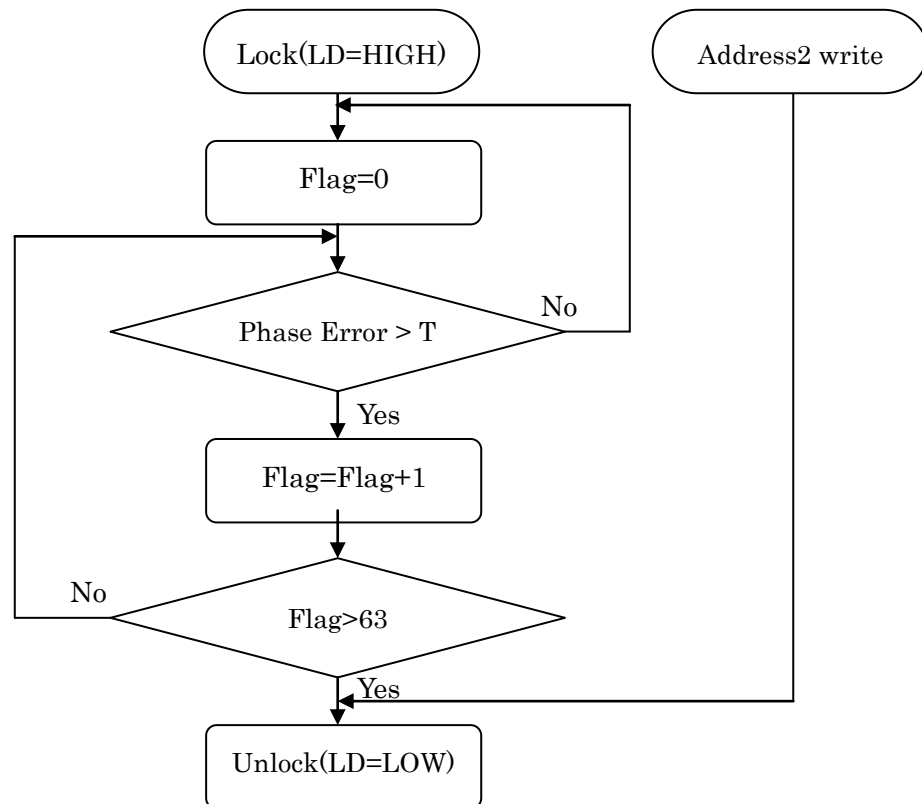


Figure 12-2 デジタルロック検出フローチャート(ロック⇒アンロック)

PLL SYNTH部 周波数設定

シンセサイザの周波数設定

＜シンセサイザの設定＞

本シンセサイザーは分母が 2^{18} のFractional-Nシンセサイザです。次のような計算で算出した整数項と分子項を設定します。

$$\begin{aligned}\text{設定周波数} &= \text{Ref Frequency} \times (\text{整数項} + \text{分子項}/2^{18}) \\ \text{整数項} &= \text{ROUND}(\text{設定周波数}/\text{Ref Frequency}) \\ \text{分子項} &= \text{ROUND}\{(\text{設定周波数} - \text{整数項} \times \text{Ref Frequency})/(\text{Ref Frequency}/2^{18})\}\end{aligned}$$

ただし、ROUND(A)：Aの四捨五入計算結果

Ref Frequency： 比較周波数 = 1MHz

○ 設定値計算例

例1 分子項が正となる場合

設定周波数=930.0375MHz, Ref Frequency=1MHz

整数項=930.0375MHz/1MHz=930.0375

四捨五入して930

分子項=ROUND(930.0375MHz-930×1MHz)/(1MHz/ 2^{18})=9830.4

四捨五入して9830

(d9830=h02666)

設定周波数=1MHz×(930+9830/ 2^{18})=930.03749847412109375MHz

例2 分子項が負となる場合

設定周波数=936.550MHz, Ref Frequency=1MHz

整数項=936.550MHz/1MHz=936.550

四捨五入して937

分子項=ROUND(936.550MHz-937×1MHz)/(1MHz/ 2^{18})=-117964.8

四捨五入して-117965

(2^{18} -117965=d144179=h23333)

設定周波数=1MHz×(937+(-117965/ 2^{18}))=936.549999237060546875MHz

PLL SYNTH部 周波数オフセット調整

AK2400は<Address1>の中の{NUM[17:0]}と<Address2>の中の{INT[14:0]}のキャリア周波数設定を調整することができるオフセット調整レジスタを持っています。

<address6>の中の{OFST[17:0]}のオフセット調整レジスタにアクセスされた時、{NUM[17:0]}と{INT[14:0]}は自動的に再計算され、再計算されたデータは $\Delta\Sigma$ 及びN-ディバイダーで使用されます。

この演算は、AFCとDFMのアプリケーションに適しています。

なお、周波数オフセット調整機能を使用する場合には、DITH=0 (OFF)に設定して下さい。

設定値計算例

例1)

オフセット周波数が正の数100Hz、PFD比較周波数が1MHzの場合

オフセット周波数 = $100\text{Hz} / (1\text{MHz} / 2^{18}) = 26.2144$

四捨五入すると26(decimal) = 1A(hexadecimal) = 11010(binary)

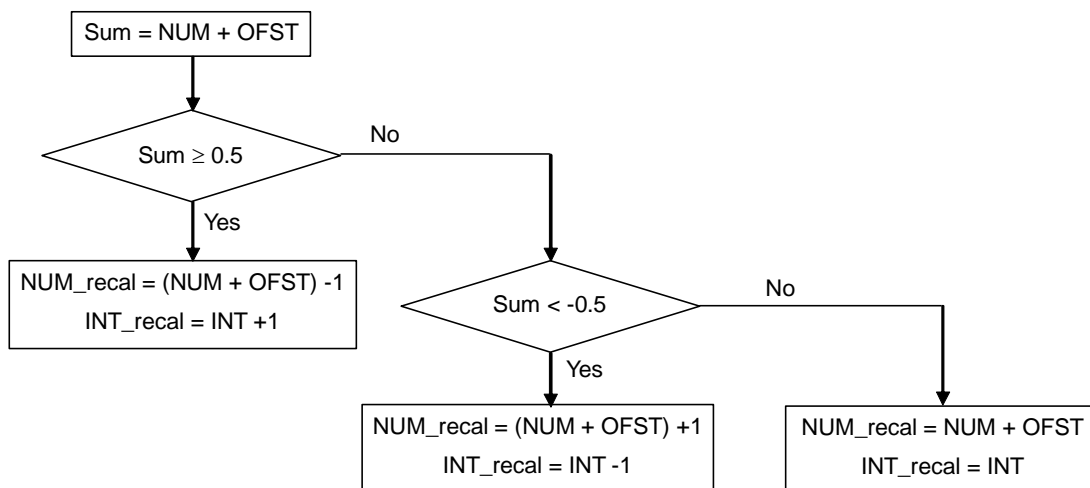
例2)

オフセット周波数が負の数-100Hz、PFD比較周波数が1MHzの場合

オフセット周波数 = $-100\text{Hz} / (1\text{MHz} / 2^{18}) = -26.2144$

四捨五入すると -26(decimal) = 3FFE6 (hexadecimal) = 11 1111 1111 1110 0110(binary)

再計算アルゴリズム



INT : 整数項設定レジスタに書かれた値{INT[14:0]}
 NUM : 分数項設定レジスタに書かれた値{NUM[17:0]}
 OFST : オフセット設定レジスタに書かれた値{OFST[17:0]}
 INT_recal : 再計算された整数値
 NUM_recal : 再計算された分数値

Figure 13 周波数オフセット調整フローチャート

PLL SYNTH部 チャージポンプ及びループフィルタ

AK2400は通常用(チャージポンプ1)とファーストロックアップ用(チャージポンプ2)の2つのチャージポンプを内蔵しています。2つのチャージポンプをタイマーにより切り替えることでPLLの高速ロックを実現します。ループフィルタ切替えのためのスイッチを内蔵しており、内部のタイマーにより切替えを行います。ループフィルタは外付けとなり、CP、SWINおよびCPZの3つの端子に接続します。CPZ端子はファーストロックアップ機能を使用しない場合でも、R2とC2の中間ノードに接続する必要があります。このためR2、C2については、必ずR2がCP端子側、C2がグラウンド側に接続してください。ファーストロックアップ時は、R2とR2'が内部スイッチにより並列に接続されます。ファーストロック時のループ帯域および位相マージンは、R2とR2'の並列抵抗値で計算する必要があります。

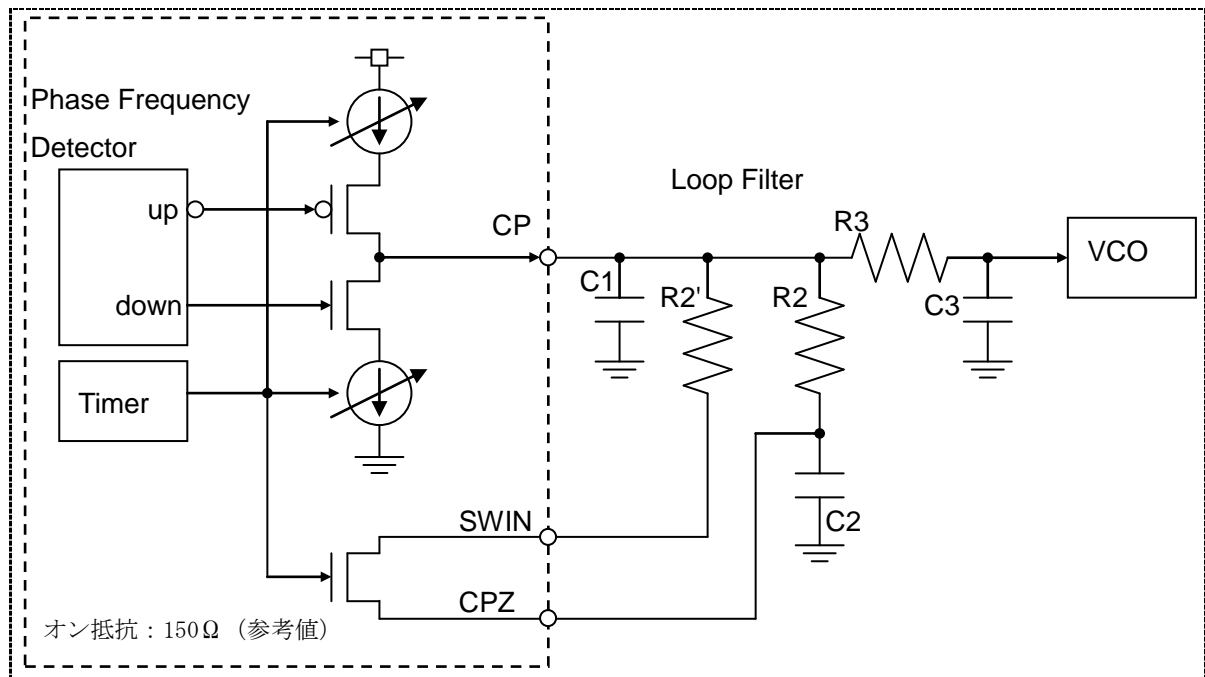


Figure 14 チャージポンプ及びループフィルタ

PLL SYNTH部 ファーストロックアップモード

AK2400では、< アドレス0x04 >のD[16]={FASTEN}を1に設定することで、ファーストロックアップモードが有効になります。

ファーストロックアップのタイマーは周波数変更時のアドレス0x02へアクセス完了時、又はアドレス0x0AのD[3]={PDSYNTH_N}を1に設定時にスタートします。

{FASTEN}=1設定時に設定周波数変更をおこなうとファーストロックアップモードが有効になり< Address4 >のD[12:0]の{FAST[12:0]}で設定されたタイマー区間だけループフィルタ切り替えスイッチがオンし、ファーストロックアップ用チャージポンプ（チャージポンプ2）が有効になります。タイマー区間終了後は、ループフィルタ切り替えスイッチがオフし通常用チャージポンプ（チャージポンプ1）が有効になり通常状態に戻ります。

タイマーは< Address4 >のD[12:0]の {FAST[12:0]} で設定します。時間計算は次の数式に従います。

位相比較周波数周期× {FAST[12:0]} 設定値

またチャージポンプ電流に関しては通常用（チャージポンプ1）では8段階、ファーストロックアップ用（チャージポンプ2）では8段階変更可能です。

通常用（チャージポンプ1）の電流値は< アドレス0x02 >のD[17:15]の3ビットデータ CP1[2:0]への設定値とBIAS3ピンに接続された抵抗値で決まります。抵抗値、レジスタ設定値、電流値の関係は下式の通りです。

通常用（チャージポンプ1）の最小電流値（CP1_min）= 0.57 / BIAS3ピン接続抵抗

通常用（チャージポンプ1）電流=CP1_min × ({CP1[2:0]}+ 1)

ファーストロックアップ用（チャージポンプ2）の電流値は< アドレス0x04 >のD[15:13]の3ビットデータ CP2[2:0]への設定値とBIAS3ピンに接続された抵抗値で決まります。抵抗値、レジスタ設定値、電流値の関係は下式の通りです。

ファーストロックアップ用（チャージポンプ2）の最小電流値（CP2_min）= 5.7 / BIAS3ピン接続抵抗

ファーストロックアップ用（チャージポンプ2）電流=CP2_min × ({CP2[2:0]}+4) となります。

BIAS3端子への外付け抵抗は通常用、ファーストロックアップ用とも22～33[kΩ]の範囲で変更する事が出来ます。詳細な電流設定はレジスタ機能説明を参照してください。

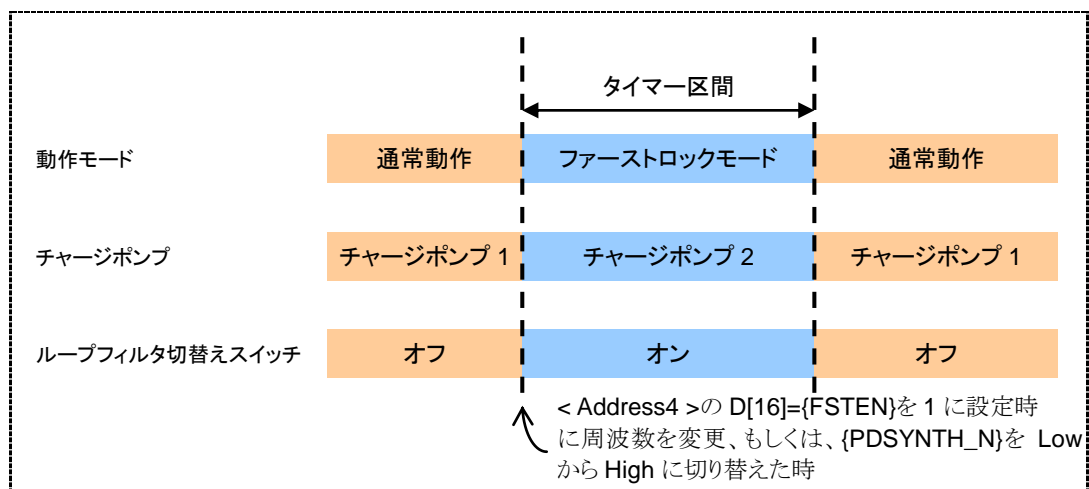


Figure 15 ファーストロックアップモードタイミングチャート

Discriminator キャリブレーション動作説明

本LSIは、Discriminator内のVCOの自走周波数及び、復調レベルのキャリブレーション機能を有します。VCOの動作レンジを確保し、且つ、復調レベルを仕様範囲内に確保する為には、受信動作を開始する前にキャリブレーションを実施する必要があります。

キャリブレーションを行う前には、以下の制御が必要です。

- ① 外部のTCXOを立上げ、LO信号を安定供給される状態にします。
- ② アドレス0x0A {BS[2:0]}に"110"を設定し、動作モードをmode6にします。これにより、キャリブレーション動作に必要な回路（LOBUF、VIREF、Discriminator）がパワーアップし、(500us)後までにはキャリブレーションが可能な状態になります。
- ③ その後、アドレス0x07 {CAL}に"1"を書き込むことによりキャリブレーションを開始します。なお、一度キャリブレーション動作が実行されると、マスターリセット以外ではキャリブレーション動作を止めることはできません。{CAL}に"0"を書き込んでも、キャリブレーションは最後まで実行されます。
- ④ キャリブレーション結果はマスターリセット動作、もしくはPDNをパワーダウン設定、もしくは電源を落とさない限りデータは保持されます。
- ⑤ キャリブレーションが完了してから、Discriminatorが安定するまで(1.5ms)かかります。

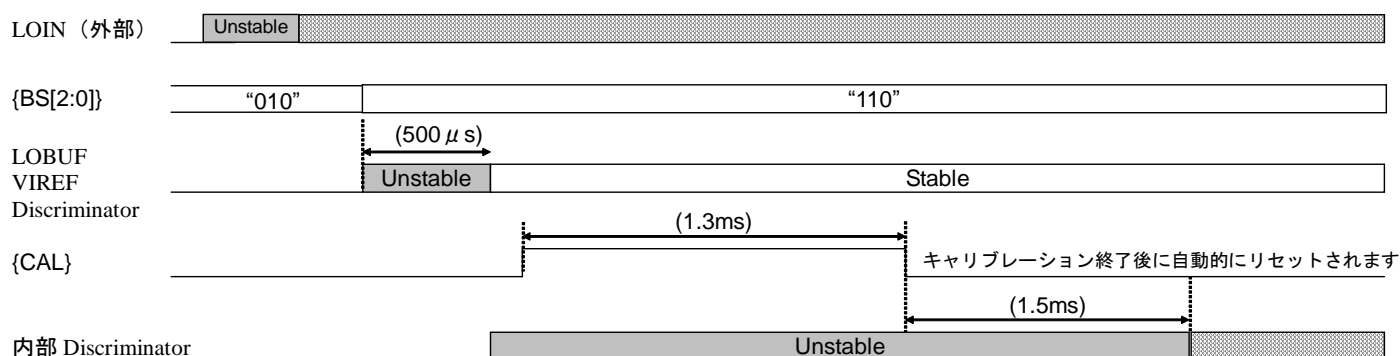


Figure 16 パワーアップタイミング推奨例

PLL SYNTH部 外部接続回路推奨例

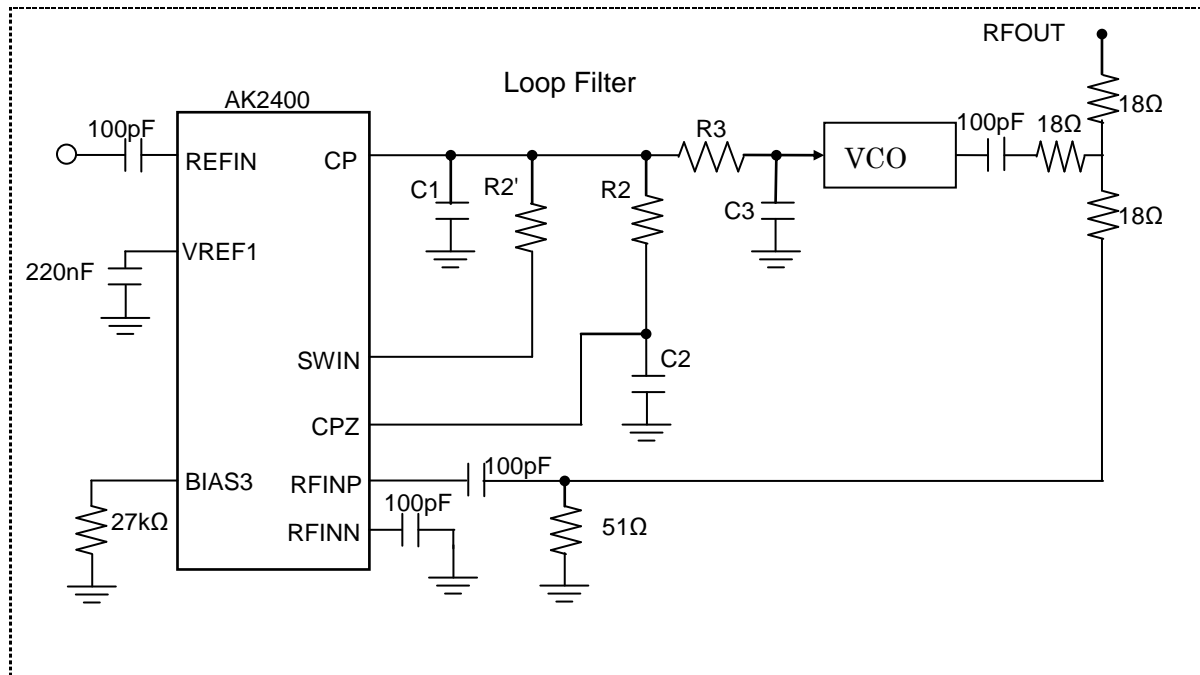


Figure 17 PLL SYNTH部 外部接続回路推奨例

CPZ端子はファーストロックアップ機能を使用しない場合も、必ずR2, C2中間ノードに接続する必要があります。詳細は7. ループフィルタ接続図を参照してください。

ファーストロック時はR2とR2'が内部スイッチにより並列に接続されます。ファーストロック時のLoop帯域及びフェーズマージンの計算はR2とR2'の並列抵抗値で計算してください。（内部スイッチのON抵抗は150Ω：参考値）

1. PVDD、CPVDD

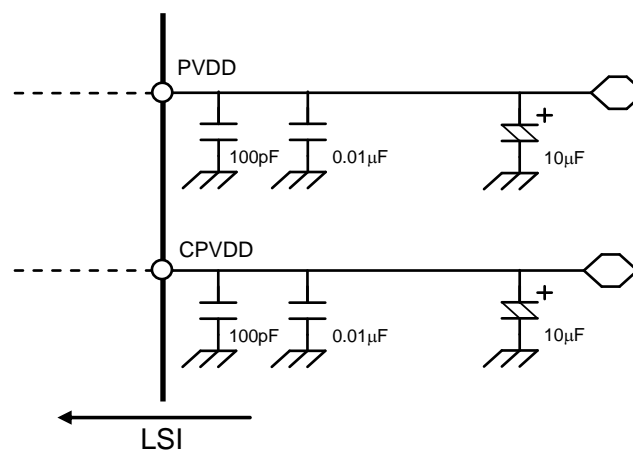
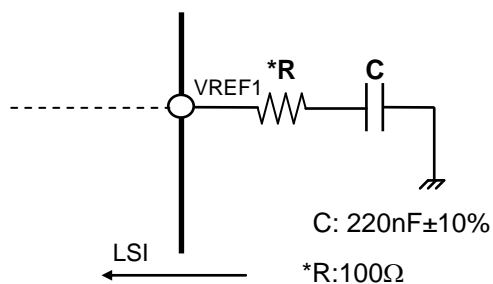


Figure 18 PVDD, CPVDD 外部接続回路推奨例

2. VREF1

*R の挿入で、1stMixer のノイズ耐性の向上が期待できます。

Figure 19 VREF1 外部接続回路推奨例

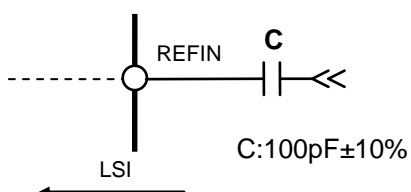
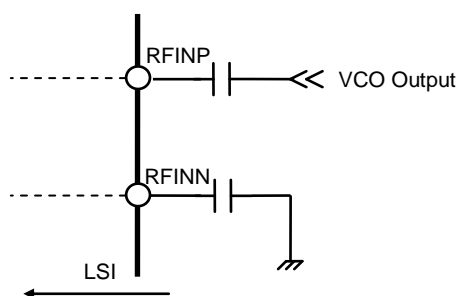
3. REFIN

Figure 20 REFIN 外部接続回路推奨例

4. RFINP、RFINN

素子値は外部接続回路推奨例をご参照ください。

Figure 21 RFINP, RFINN 外部接続回路推奨例

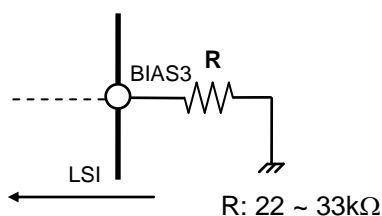
5. BIAS3

Figure 22 BIAS3 外部接続回路推奨例

1st MIXER部 外部接続回路推奨例

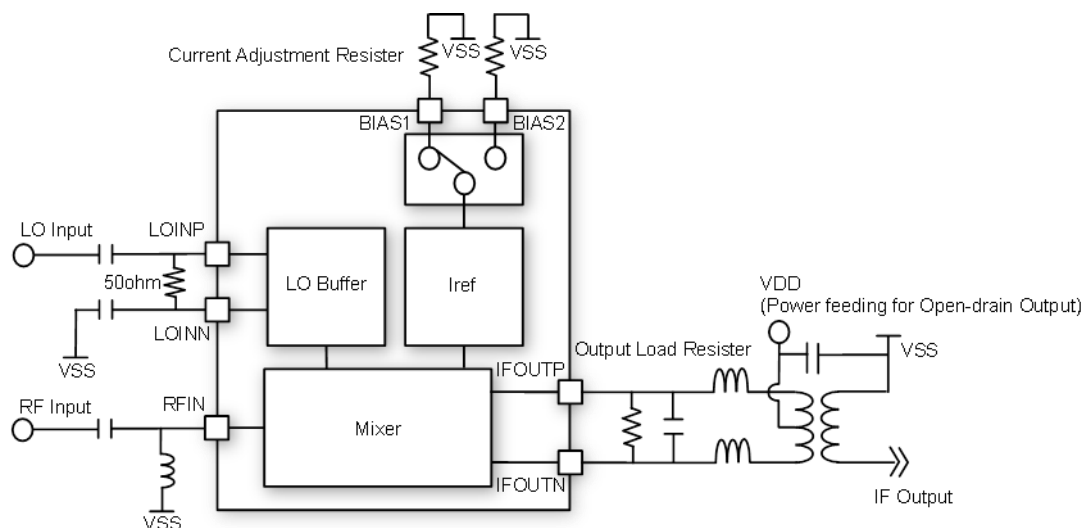


Figure 23 1st MIXER部 外部接続回路推奨例

- 注1) パッケージ裏面中央の露出パッド(Exposed Pad)は VSS に接続してください。
- 注2) IFOUTP, IFOUTN 端子にはインダクタを介して電源供給が必要です。
- 注3) RF 入力、IF 出力部のインピーダンスマッチング回路は使用周波数毎に調整が必要です。
- 注4) 1st Mixer を使用しない場合には、各ピンを以下の通り終端する事を推奨します。
この時、1st MIXER の各レジスタ設定は、アドレス 0x0A に存在する、{BSSEL_FMIX}、
{PDFSTMIX_N}、{FMIX_HV}、{FMIX_IP3}の 4 つに全て"0"を設定する事を推奨します。

ピン番号	ピン名称	ピンの終端条件
1	RFIN	OPEN
2	AVSS1	VSS
3	IFOUTP	OPEN
4	IFOUTN	OPEN
5	MIXVDD	VSS
53	BIAS2	VSS
54	BIAS1	VSS
55	LOINP	OPEN
56	LOINN	OPEN

・RF入力端子整合

信号入力端子は、ハイパスフィルタ構成にて整合を取ることが可能です。50Ω系において、弊社評価基板を使用した整合回路を以下に示します。

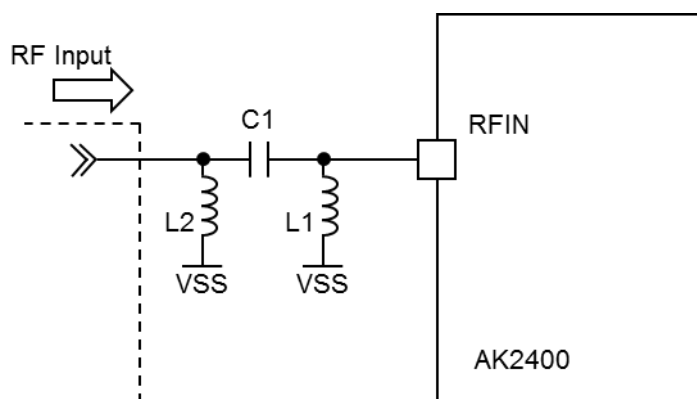


Figure 24 RF入力整合回路

RF Input Frequency [MHz]	C1 [pF]	L1 [nH]	L2 [nH]
70	82	200	-
160	39	100	-
300	18	33	-
600	18	33	-
900	18	33	-

・LO入力端子整合

LO入力端子は10MHz < LO入力周波数 < 2000MHzにおいて抵抗整合が可能です。50Ω系において、弊社評価基板を使用した整合回路を以下に示します。

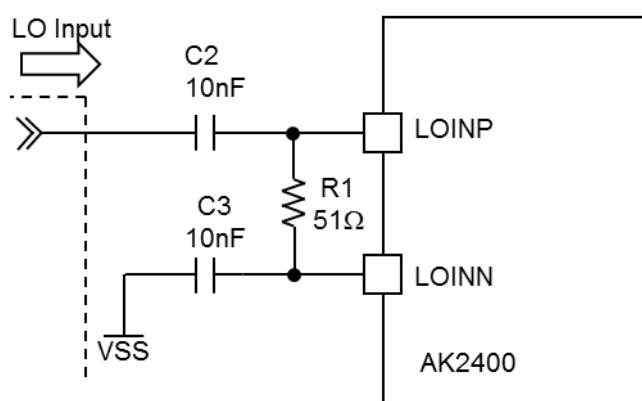


Figure 25 LO入力整合回路

・IF出力端子整合

IF出力端子は、ローパスフィルタ構成とバラン素子にて整合を取ることが可能です。IFOUTN、IFOUTP端子への電源供給はバラン素子のセンタータップを介して行います。50Ω系において、弊社評価基板を使用した整合回路を以下に示します。

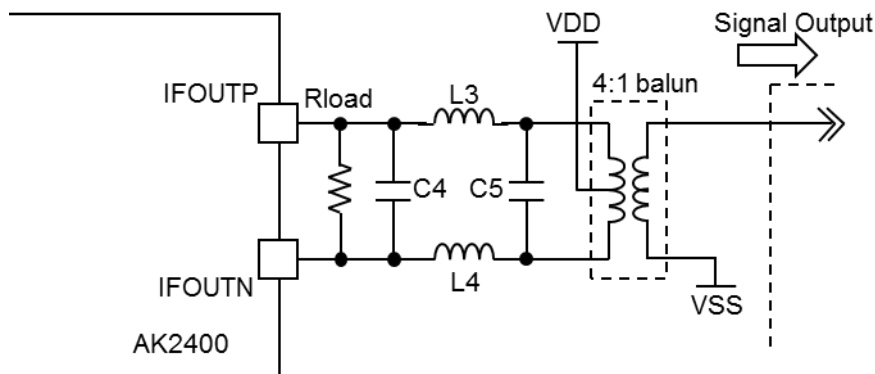


Figure 26 IF出力整合回路

IF Output Frequency [MHz]	Rload [kΩ]	L3/L4 [nH]	C4 [pF]	C5 [pF]
29.25	2.2	1800	6	-
46.35	2.2	1000	3.3	-
50.85	2.2	1000	2.4	-
58.05	2.2	1000	1.6	-

・LCによる整合素子

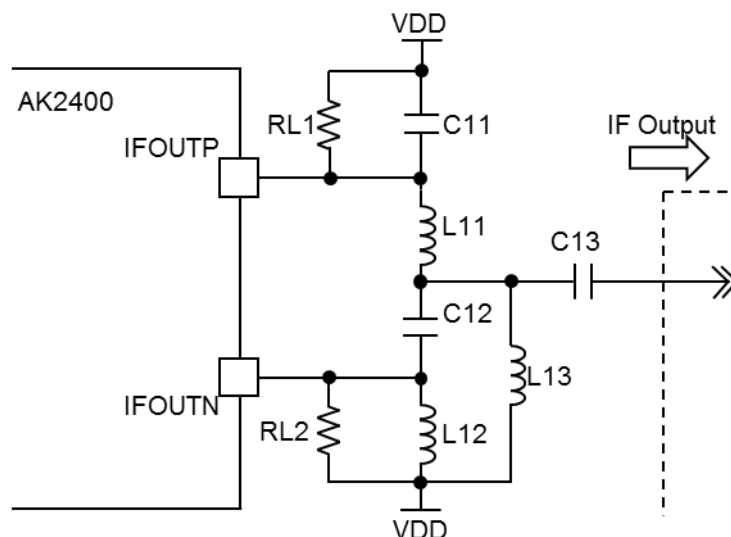


Figure 27 LCによる整合素子

LCを用いた整合回路を示します。AK2400の1st Mixerはオープンドレイン出力構成で、RL1 + RL2が出力負荷抵抗となります。C11、L11はローパスフィルタを、C12、L12はハイパスフィルタを構成しており、C13はDCカット容量、L13はRFチョークです。IFOUTP、IFOUTN端子への電源供給は、L11、L12、L13を介して行います。

L11, C11, L12, C12を適切に選択することによって、IFOUTP、IFOUTN端子の差動電圧をシングル電圧に変換することができます。また、差動間インピーダンス $RL1 + RL2$ は、シングル出力端子の終端抵抗 Ro に変換されます。

L11, C11, L12, C12は、IF出力周波数を f_{IF} とすると以下の式より導出可能です。

$$C_{11} = C_{12} = \frac{1}{2\pi * f_{IF} * \sqrt{(R_{L1} + R_{L2}) * R_O}}$$

$$L_{11} = L_{12} = \frac{\sqrt{(R_{L1} + R_{L2}) * R_O}}{2\pi * f_{IF}}$$

50Ω系においてIF出力周波数 = 50MHz、出力負荷抵抗 = 2.2kΩとした場合、計算値は以下のようになります。

$$C_{11} = C_{12} = \frac{1}{2\pi * (50 * 10^6) * \sqrt{(2.2 * 10^3) * 50}} = 9.6\text{pF}$$

$$L_{11} = L_{12} = \frac{\sqrt{(2.2 * 10^3) * 50}}{2\pi * (50 * 10^6)} = 1056\text{nH}$$

L13, C13はシングル出力側から見たIF出力周波数でのインピーダンスに影響を与えない、大きな値を使用してください。ただし、L13, C13を用いてインピーダンス整合を調整することも可能です。

50Ω系においてIF出力周波数 = 50MHz、出力負荷抵抗 = 2.2kΩとした場合、まずL13 = 2200nH、C13=1000pFを付けます。補正が必要な場合は、L13, C13の値を小さくして調整してください。

これらの計算により導出された値は、部品や実装基板の寄生分などの影響で補正が必要になる場合があります。ご使用になる際は十分な評価を実施した上で値を決定してください。

50Ω系において、弊社評価基板を使用した整合回路素子値を以下に示します。

IF Output Frequency [MHz]	RL1/RL2 [kΩ]	L11/L12 [nH]	C11/C12 [pF]	L13 [nH]	C13 [pF]
29.25	1.1	1800	15	2200	270
46.35	1.1	1000	10	2200	220
50.85	1.1	1000	9.1	2200	82
58.05	1.1	1000	8.2	2200	39

LCによる整合素子を使用する場合、IF出力周波数において差動間の位相と振幅のバランスが最適となるよう素子値を決定します。RF入力周波数及びLO入力周波数がIF出力周波数から離れている場合には、RF入力周波数及びLO入力周波数まで差動間の位相と振幅のバランスが優れたバラン素子を使用することで低い端子間リークを実現できます。

2nd IF部 外部接続回路推奨例

1) 電源安定化容量

電源に含まれるリップル、ノイズ等を除去するため、VDD-VSS端子間に下図の様にコンデンサを接続してください。コンデンサは両端子間の最短距離に配置すると効果的です。

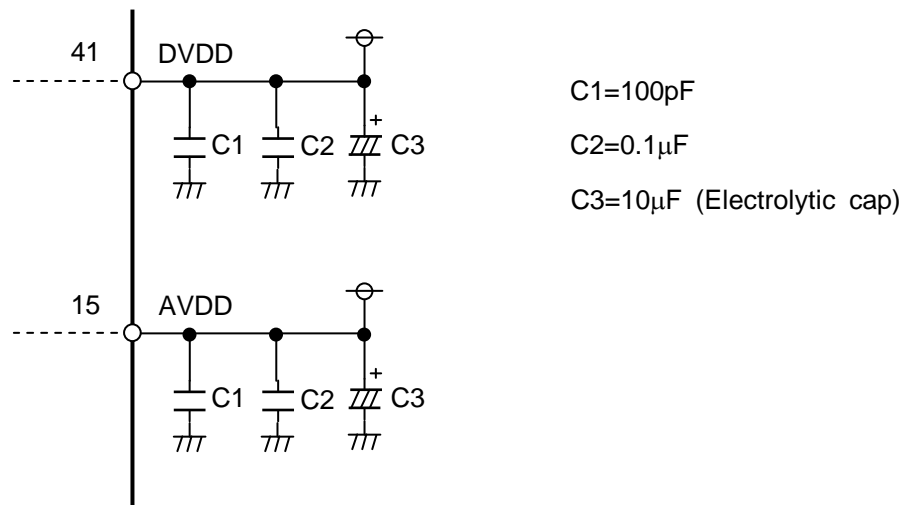


Figure 28 DVDD, AVDD 外部接続回路推奨例

2) AGND安定化容量

AGNDOUT, AGNDIN端子には、VSSとの間に1μF以上のコンデンサを接続し、AGND信号の安定化を図るようご推奨いたします。コンデンサはできるだけ各端子の近くに配置してください。

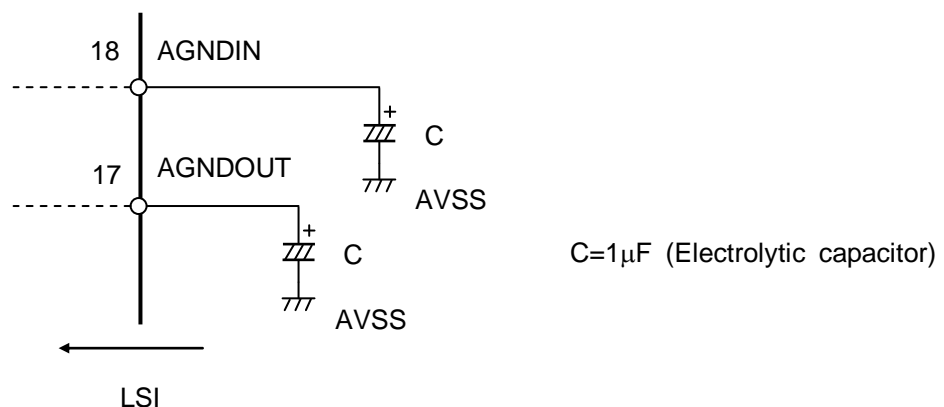


Figure 29 AGNDIN, AGNDOUT 外部接続回路推奨例

3) BIAS4出力

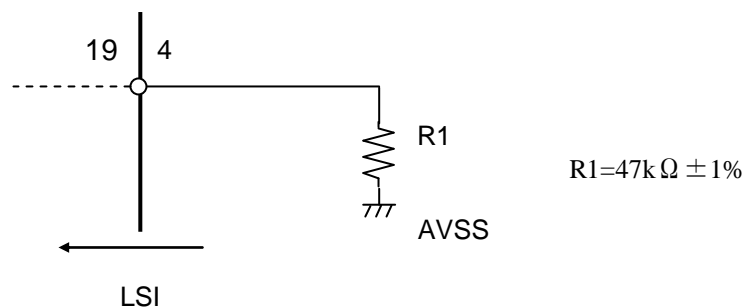


Figure 30 BIAS4 外部接続回路推奨例

4) Noise Amp

下図のようにバンドパスフィルタを構成できます。定数設定は、式(1)～(3)に従ってください。

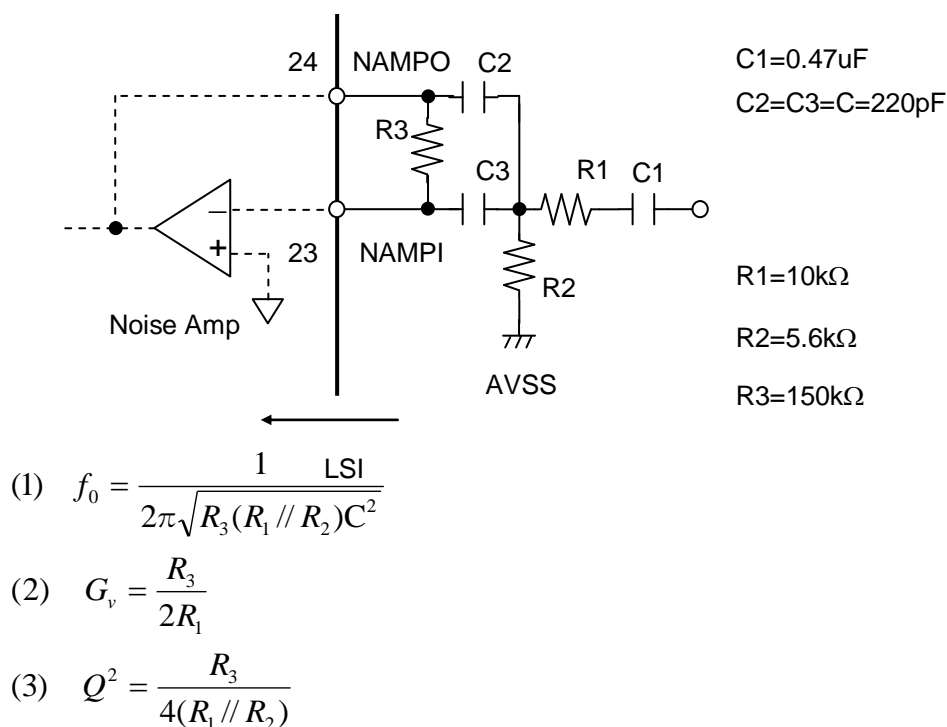


Figure 31 NAMPO, NAMPI 外部接続回路推奨例

5) NRECTO出力

ノイズ検出立上り時間は、 $C1=0.1\mu F$ と内部抵抗 $75k\Omega$ との時定数に比例します。

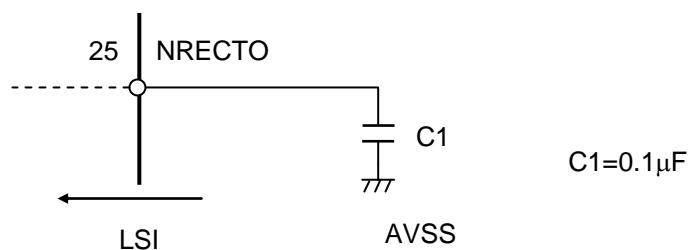


Figure 32 NRECTO 外部接続回路推奨例

6) RSSIOUT出力

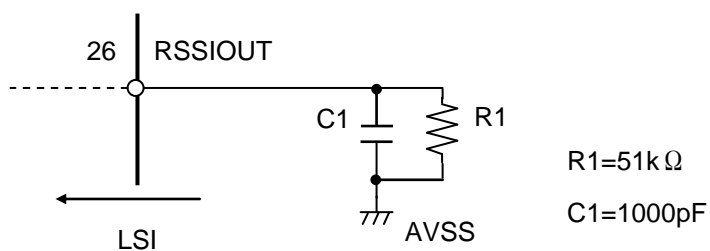


Figure 33 RSSIOUT 外部接続回路推奨例

7) Discriminator出力

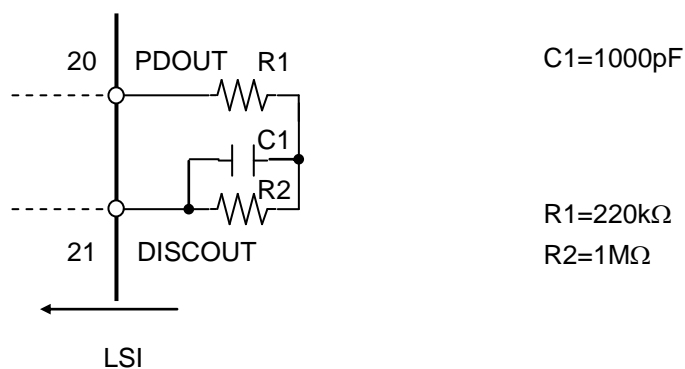


Figure 34 Discriminator 外部接続回路推奨例

8) 3通倍回路

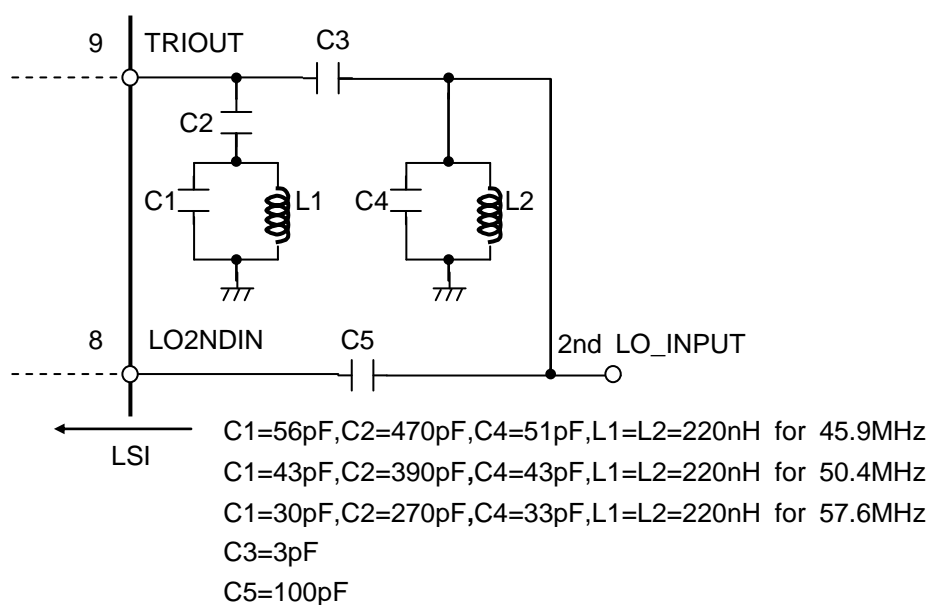


Figure 35 3通倍回路 外部接続回路推奨例

9) VREFA出力

VREFA出力信号の安定化のため、VREFA端子にはAVSSとの間に220nFのコンデンサを接続してください。

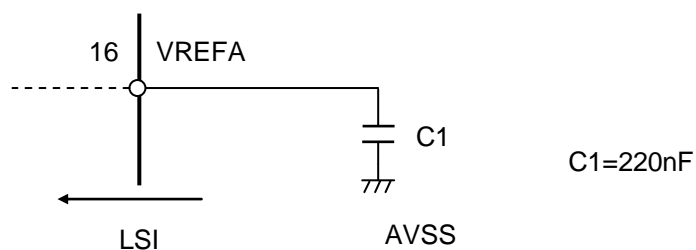


Figure 36 VREFA 外部接続回路推奨例

10) DETO/SDATAOUT出力

レジスタ{SDATAOUT_OE}を”0”に設定した場合、DETO信号が出力されます。この時、オープンドレイン出力となります。レジスタ{SDATAOUT_OE}を”1”に設定した場合、SDATAOUT信号が出力されます。この時、CMOS出力となり、高レベル出力電圧はDVDDとなります。

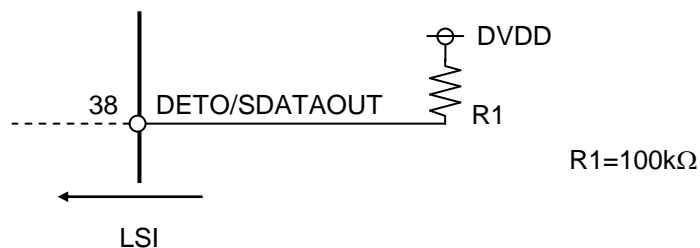
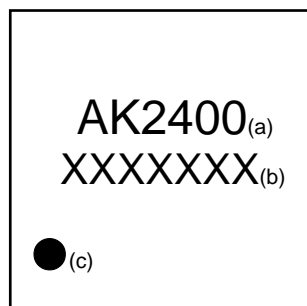


Figure 37 DETO/SDATAOUT 外部接続回路推奨例

パッケージ

□ マーキング



- a: Product number : AK2400
 b: Date code : XXXXXX
 c: 1 pin marking : ●
 d: Style : QFN
 e: Number of pins : 56

Figure 38 マーキング図

□ □ パッケージ外形図 56pin-QFN (8mm*8mm, 0.5mm pitch)

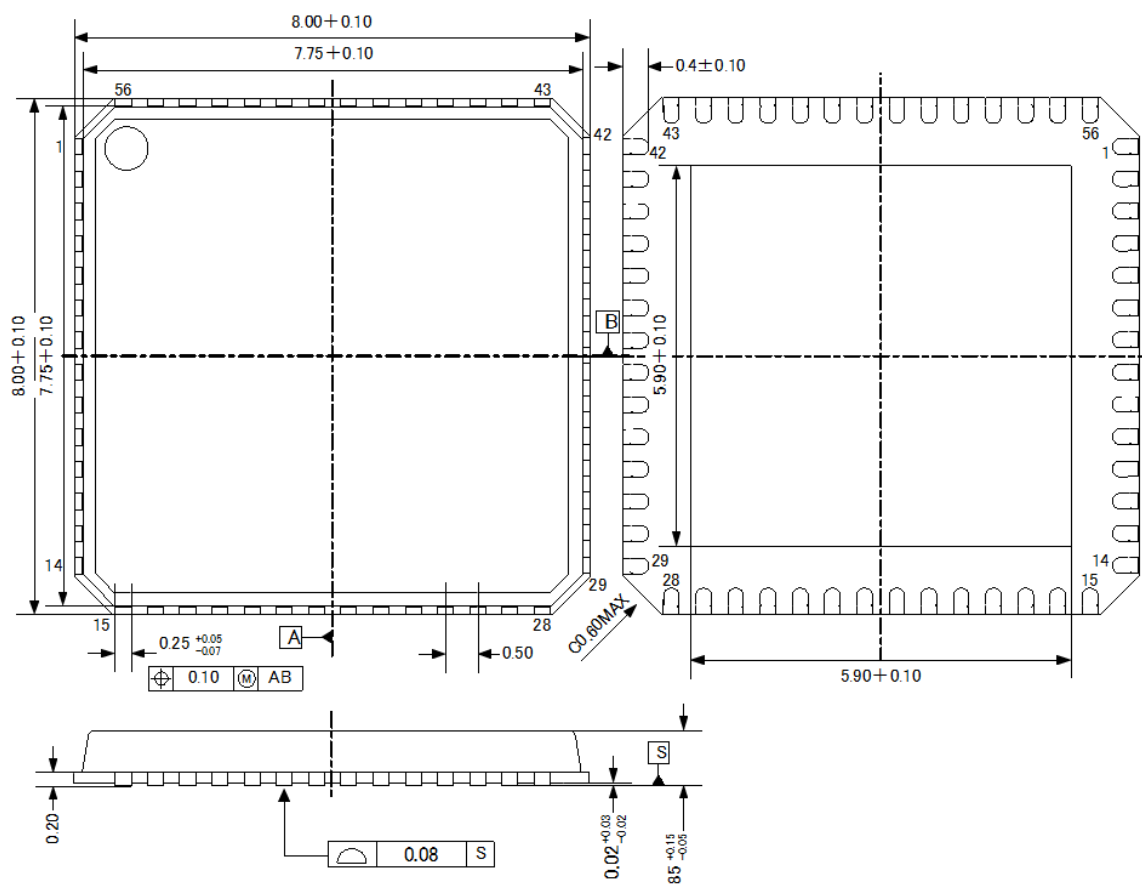


Figure 39 パッケージ外形図

改訂履歴

Date (Y/M/D)	Revision	Reason	Page	Contents
14/10/23	00	初版		
15/04/23	01	仕様変更	20, 28	Mode1を設定禁止に変更
		仕様追加	15	PGA0 + 2nd Mixer部の入力周波数のTyp.を FLO±0.45MHzに拡張
		注記追加	22, 24, 35	周波数オフセット調整機能を使用する場合には、 DITH=0 (OFF)に設定して下さい

重要な注意事項

0. 本書に記載された弊社製品（以下、「本製品」といいます。）および、本製品の仕様につきましては、本製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。
1. 本書に記載された情報は、本製品の動作例、応用例を説明するものであり、その使用に際して弊社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。お客様の機器設計において当該情報を使用される場合は、お客様の責任において行って頂くとともに、当該情報の使用に起因してお客様または第三者に生じた損害に対し、弊社はその責任を負うものではありません。
2. 本製品は、医療機器、航空宇宙用機器、輸送機器、交通信号機器、燃焼機器、原子力制御用機器、各種安全装置など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に使用されることを意図しておらず、保証もされていません。そのため、別途弊社より書面で許諾された場合を除き、これらの用途に本製品を使用しないでください。万が一、これらの用途に本製品を使用された場合、弊社は、当該使用から生ずる損害等の責任を一切負うものではありません。
3. 弊社は品質、信頼性の向上に努めておりますが、電子製品は一般に誤作動または故障する場合があります。本製品をご使用頂く場合は、本製品の誤作動や故障により、生命、身体、財産等が侵害されることのないよう、お客様の責任において、本製品を搭載されるお客様の製品に必要な安全設計を行うことをお願いします。
4. 本製品および本書記載の技術情報を、大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。本製品および本書記載の技術情報を輸出または非居住者に提供する場合は、「外国為替及び外国貿易法」その他の適用ある輸出関連法令を遵守し、必要な手続きを行ってください。本製品および本書記載の技術情報を国内外の法令および規則により製造、使用、販売を禁止されている機器・システムに使用しないでください。
5. 本製品の環境適合性等の詳細につきましては、製品個別に必ず弊社営業担当までお問合せください。本製品のご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようにご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、弊社は一切の責任を負いかねます。
6. お客様の転売等によりこの注意事項に反して本製品が使用され、その使用から損害等が生じた場合はお客様にて当該損害をご負担または補償して頂きますのでご了承ください。
7. 本書の全部または一部を、弊社の事前の書面による承諾なしに、転載または複製することを禁じます。

●関連製品

Part#	Discription	Comments
Mixer		
AK1220	100MHz~900MHz 高線形性ダウンコンバージョンミキサー	IIP3:+22dBm
AK1222	100MHz~900MHz 低消費電流ダウンコンバージョンミキサー	IDD:2.9mA
AK1224	100MHz~900MHz 低ノイズ、高線形性ダウンコンバージョンミキサー	NF:8.5dB, IIP3:+18dBm
AK1228	10MHz~2GHz アップダウンコンバージョンミキサー	3V動作対応, NF:8.5dB
AK1221	0.7GHz~3.5GHz 高線形性ダウンコンバージョンミキサー	IIP3:+25dBm
AK1223	3GHz~8.5GHz 高線形性ダウンコンバージョンミキサー	IIP3:+13dB, NF:15dB
PLL Synthesizer		
AK1541	20MHz~600MHz 低消費電流 Fractional-N 周波数シンセサイザ	IDD:4.6mA
AK1542A	20MHz~600MHz 低消費電流 Integer-N 周波数シンセサイザ	IDD:2.2mA
AK1543	400MHz~1.3GHz 低消費電流 Fractional-N 周波数シンセサイザ	IDD:5.1mA
AK1544	400MHz~1.3GHz 低消費電流 Integer-N 周波数シンセサイザ	IDD:2.8mA
AK1590	60MHz~1GHz Fractional-N 周波数シンセサイザ	IDD:2.5mA
AK1545	0.5GHz~3.5GHz Integer-N 周波数シンセサイザ	16-TSSOPパッケージ
AK1546	0.5GHz~3GHz 低Phase Noise Integer-N 周波数シンセサイザ	規格化位相雑音:-226dBc/Hz
AK1547	0.5GHz~4GHz Integer-N 周波数シンセサイザ	5V動作対応
AK1548	1GHz~8GHz 低Phase Noise Integer-N 周波数シンセサイザ	規格化位相雑音:-226dBc/Hz
IFVGA		
AK1291	100~300MHz アナログ制御方式 可変ゲインアンプ	ダイナミックレンジ:30dB
integrated VCO		
AK1572	690MHz~4GHz Frac.-N PLL/VCO内蔵ダウンコンバージョンミキサー	IIP3:24dBm, -111dBc/Hz@100kHz
AK1575	690MHz~4GHz Frac.-N PLL/VCO内蔵アップコンバージョンミキサー	IIP3:24dBm, -111dBc/Hz@100kHz
IF Reciever (2nd Mixer + IF BPF + FM Detector)		
AK2364	帯域可変IFBPF内蔵 FM検波LSI	帯域可変:±10kHz ~ ±4.5kHz
AK2365A	帯域可変IFBPF内蔵 IFIC	帯域可変:±7.5kHz ~ ±2kHz
Analog BB for PMR/LMR		
AK2345C	CTCSS用エンコーダ/デコータ	24-VSOPパッケージ
AK2360/ AK2360A	周波数反転方式(3.376kHz/3.020kHz)秘話LSI	8-SONパッケージ
AK2363	MSKモデム/DTMFレシーバ搭載LSI	24-QFNパッケージ
AK2346B	0.3-2.55/3.0kHz アナログ音声フィルタ、	24-VSOPパッケージ
AK2346A	エンファシス、コンパンダ、秘話回路、MSKモデム内蔵LSI	24-QFNパッケージ
AK2347B	0.3-2.55/3.0kHzアナログ音声フィルタ、 エンファシス、コンパンダ、秘話回路、CTCSSフィルタ内蔵LSI	24-VSOPパッケージ
Function IC		
AK2330	8-bit 8ch 電子ボリューム	各ch毎の基準電圧設定が可能
AK2331	8-bit 4ch 電子ボリューム	各ch毎の基準電圧設定が可能

上記情報は、予告なく変更することがあります。ご使用を検討の際には、上記情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認ください。